

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 3月 6日

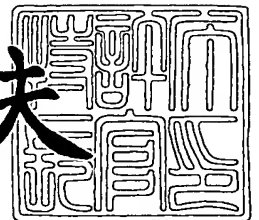
出願番号  
Application Number: 特願2003-060530  
[ST. 10/C]: [JP 2003-060530]

出願人  
Applicant(s): 松下電器産業株式会社

2003年11月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3096652

【書類名】 特許願

【整理番号】 5037640170

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中村 敏宏

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大田 清人

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 折笠 憲一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 飯田 真久

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

**【手数料の表示】****【予納台帳番号】** 139757**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0108331**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置および半導体装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルと、前記複数のメモリセルが接続されたビット線対と、第 1 の制御信号に応じて前記ビット線対を所定のプリチャージ電圧にプリチャージするための複数のプリチャージ回路と、前記複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、前記ビット線対のイコライズ電圧と前記プリチャージ電圧が異なる半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、

前記プリチャージ電圧を発生して前記複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、前記ポンピング用キャパシタの第 1 の電極を第 1 の電源に接続する第 1 のスイッチと、前記第 1 の電極と前記プリチャージ電圧発生回路の出力ノードを接続する第 2 のスイッチと、前記ポンピング用キャパシタの第 2 の電極を前記第 1 の電源に接続する第 3 のスイッチと、前記第 2 の電極を第 2 の電源に接続する第 4 のスイッチと、前記第 1、第 2、第 3 および第 4 のスイッチのオン／オフを制御する制御回路からなるプリチャージ電圧ポンプ回路とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記第 1、第 2、第 3 および第 4 のスイッチと前記ポンピング用キャパシタは MOS トランジスタで構成されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記半導体記憶装置は複数のゲート酸化膜厚を有して成り、前記第 1、第 2、第 3 および第 4 のスイッチと前記ポンピング用キャパシタは厚膜のゲート酸化膜厚の MOS トランジスタで構成されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記半導体記憶装置は複数のゲート酸化膜厚を有して成り、前記第 1、第 2、第 3 および第 4 のスイッチと前記ポンピング用キャパシタは薄膜のゲート酸化膜厚の MOS トランジスタで構成されることを特徴とする請求項 1

記載の半導体記憶装置。

【請求項 5】 前記プリチャージ電圧ポンプ回路の前記制御回路は、プリチャージ時、あるいはプリチャージ開始から一定時間だけ、前記第 2 のスイッチと前記第 3 のスイッチをオンするよう制御し、それ以外の時間は、前記第 1 のスイッチと前記第 4 のスイッチをオンするように制御して動作することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 複数のメモリセルと、前記複数のメモリセルが接続されたビット線対と、第 1 の制御信号に応じて前記ビット線対を所定のプリチャージ電圧にプリチャージするための複数のプリチャージ回路と、前記複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、前記ビット線対のイコライズ電圧と前記プリチャージ電圧が異なる半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、

前記プリチャージ電圧を発生して前記複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、前記ポンピング用キャパシタの第 1 の電極を第 1 の電源に接続する第 1 のスイッチと、前記第 1 の電極と前記プリチャージ電圧発生回路の出力ノードを接続する第 2 のスイッチと、前記第 1 および第 2 のスイッチのオン／オフを制御する制御回路と、前記ポンピング用キャパシタの第 2 の電極を第 2 の制御信号で駆動するプリチャージ電圧ポンプ回路とを備えたことを特徴とする半導体記憶装置。

【請求項 7】 複数のメモリセルと、前記複数のメモリセルが接続されたビット線対と、第 1 の制御信号に応じて前記ビット線対を所定のプリチャージ電圧にプリチャージするための複数のプリチャージ回路と、前記複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、前記ビット線対のイコライズ電圧と前記プリチャージ電圧が異なる半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、

前記プリチャージ電圧を発生して前記複数のプリチャージ回路に供給するプ

リチャージ電圧発生回路と、

ポンピング用キャパシタと、前記ポンピング用キャパシタの第1の電極を第1の電源に接続する第1のスイッチと、前記第1の電極と前記プリチャージ電圧発生回路の出力ノードを接続する第2のスイッチと、前記第1および第2のスイッチのオン／オフを制御する制御回路と、前記ポンピング用キャパシタの第2の電極を第2の制御信号で駆動するプリチャージ電圧ポンプ回路とを備え、

前記第2の制御信号は、前記プリチャージ回路へのビット線プリチャージ開始信号である第1の制御信号のアクティブ期間内に立ち上がることを特徴とする半導体記憶装置。

【請求項8】 複数のメモリセルと、前記複数のメモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を所定のプリチャージ電圧にプリチャージするための複数のプリチャージ回路と、前記複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、前記ビット線対のイコライズ電圧と前記プリチャージ電圧が異なる半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、

前記プリチャージ電圧を発生して前記複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、前記ポンピング用キャパシタの第1の電極を第1の電源に接続する第1のスイッチと、前記第1の電極と前記プリチャージ電圧発生回路の出力ノードを接続する第2のスイッチと、前記第1および第2のスイッチのオン／オフを制御する制御回路と、前記ポンピング用キャパシタの第2の電極を第2の制御信号で駆動するプリチャージ電圧ポンプ回路とを備え、

前記第2の制御信号は、前記プリチャージ回路へのビット線プリチャージ開始信号である前記第1の制御信号が活性化して、所定の遅延時間の後、前記第1の制御信号の遷移時間より長い時間をかけて立ち上がることを特徴とする半導体記憶装置。

【請求項9】 前記第1の制御信号は、前記プリチャージ回路へのビット線プリチャージ開始信号であることを特徴とする請求項1または6記載の半導体記憶

装置。

【請求項 10】 前記第 1 の制御信号が前記第 2 制御信号を兼用することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 11】 前記第 1 および第 2 のスイッチと前記ポンピング用キャパシタは MOS トランジスタで構成されることを特徴とする請求項 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 12】 前記半導体記憶装置は複数のゲート酸化膜厚を有して成り、前記第 1 および第 2 のスイッチと前記ポンピング用キャパシタは厚膜のゲート酸化膜厚の MOS トランジスタで構成されることを特徴とする請求項 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 13】 前記半導体記憶装置は複数のゲート酸化膜厚を有して成り、前記第 1 および第 2 のスイッチと前記ポンピング用キャパシタは薄膜のゲート酸化膜厚の MOS トランジスタで構成されることを特徴とする請求項 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 14】 前記プリチャージ電圧ポンプ回路の前記制御回路は、プリチャージ時、あるいはプリチャージ開始から一定時間だけ、前記第 1 の制御信号により前記第 2 のスイッチと前記第 3 のスイッチをオンするよう制御し、前記第 2 の制御信号によって前記ポンピング用キャパシタの電荷が前記プリチャージ電圧発生回路の出力ノードに転送されるよう動作することを特徴とする請求項 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 15】 前記半導体記憶装置は、N チャネル MOS トランジスタの第 1 のウェル領域と P チャネル MOS トランジスタの第 2 のウェル領域を有して成り、前記ポンピング用キャパシタを構成する MOS トランジスタは、前記第 2 のウェル領域のトランジスタで構成されることを特徴とする請求項 1、または 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 16】 前記半導体記憶装置は、N チャネル MOS トランジスタの第 1 のウェル領域と、P チャネル MOS トランジスタの第 2 のウェル領域と、N チャネル MOS トランジスタの第 3 のウェル領域のトリプルウェル領域を有して成り、前記ポンピング用キャパシタを構成する MOS トランジスタは、前記第 3 の

ウェル領域のトランジスタで構成されることを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項17】 前記ポンピング用キャパシタの前記第1の電極がMOSトランジスタのゲート電極で構成され、前記第2の電極がMOSトランジスタのソースとドレインと基板とを接続して構成されたことを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項18】 前記ポンピング用キャパシタの前記第1の電極がMOSトランジスタのソースとドレインと基板とを接続して構成され、前記第2の電極がMOSトランジスタのゲート電極で構成されたことを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項19】 前記ポンピング用キャパシタは、前記半導体記憶装置内の複数の配線層を電極とし、配線間に形成される静電容量でキャパシタを構成することを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項20】 前記複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、前記プリチャージ電圧ポンプ回路は、それぞれのメモリーセルアレイブロックに対をなして配置されることを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項21】 前記複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、前記プリチャージ電圧ポンプ回路は、それぞれのメモリーセルアレイブロックに対をなして配置され、それぞれのメモリーセルアレイブロックの非プリチャージ状態からプリチャージ状態への移行に応じて動作することを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。

【請求項22】 前記複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、前記プリチャージ電圧ポンプ回路は、それぞれのメモリーセルアレイブロックに対をなして配置され、前記メモリーセルアレイブロック内のプリチャージ回路へのプリチャージ開始信号に基づいて動作することを特徴とする請求項1、または6から8のいずれか一項記載の半導体記憶装置。



。

【請求項 23】 前記ビット線プリチャージ電圧発生装置は、前記メモリーセルアレイブロックのいずれか一辺で、センスアンプ列と平行に配置されることを特徴とする請求項 20 記載の半導体記憶装置。

【請求項 24】 前記ビット線プリチャージ電圧発生装置は、前記メモリーセルアレイブロックのいずれか一辺で、前記プリチャージ回路列の隣に配置されることを特徴とする請求項 20 記載の半導体記憶装置。

【請求項 25】 前記ビット線プリチャージ電圧発生装置は、前記メモリーセルアレイブロックのいずれか一辺で、ロウデコーダブロック内、あるいはロウデコーダ列と平行に配置されることを特徴とする請求項 20 記載の半導体記憶装置。

【請求項 26】 前記ビット線プリチャージ電圧発生装置は、前記メモリーセルアレイブロックのいずれか一辺で、前記メモリーセルアレイブロックを挟んでロウデコーダブロックと対向する辺に配置されることを特徴とする請求項 20 記載の半導体記憶装置。

【請求項 27】 前記第 2 の制御信号の電圧振幅は、前記複数のメモリーセルに接続されたワード線の電圧振幅とほぼ同じであることを特徴とする請求項 6 から 8 のいずれか一項記載の半導体記憶装置。

【請求項 28】 請求項 6 から 8 のいずれか一項記載の半導体記憶装置と論理回路装置とが混載された半導体装置であって、

前記第 2 の制御信号の電圧振幅は、前記論理回路装置における信号の電圧振幅とほぼ同じであることを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置、特に、ダイナミック・ランダム・アクセス・メモリー（DRAM）において、ビット線のプリチャージ電位が、ビット線対の電位の中間電位と異なる場合に、プリチャージ動作を高速に行なえる電源ブロックを搭載した半導体記憶装置、かかる半導体記憶装置と論理回路装置を混載した半導体

装置に関する。

#### 【0002】

##### 【従来の技術】

以下、従来の電源ブロックが搭載される半導体記憶装置の回路構成および動作について、図面を参照しながら説明する。

#### 【0003】

図13は、一般的なDRAM1300の構成を示す機能ブロック図である。図13において、1301はメモリセルアレイ、1302はメモリセルアレイブロック、1303は電源ブロック、1304はロウデコーダ、1305はカラムデコーダ、1306は制御回路、1307はI/Oバッファ、CLKは外部クロック信号、NRASはロウアドレスストロブ信号、NCASはカラムアドレスストロブ信号、NWEはライト制御信号、REFはリフレッシュ制御信号、RADはロウアドレス信号、CADはカラムアドレス信号、WENはライトイネーブル信号、SEはアクセスコントロール信号、DIはデータ入力信号、DOはデータ出力信号、VCPはメモリセルプレート電圧、VBPはビット線プリチャージ電圧である。

#### 【0004】

メモリセルアレイ1301には、複数のメモリセルアレイブロック1302が含まれる。各メモリセルアレイブロック1302には、電源ブロック1303から、ビット線プリチャージ電圧VBPおよび、メモリセルプレート電圧VCP等のメモリセルアレイ1301に必要な電圧が供給される。

#### 【0005】

さらに、各メモリセルアレイブロック1302は、ロウデコーダ1304からのビット線プリチャージ開始信号NEQ、センスアンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]で制御される。また、各メモリセルアレイブロック1302には、カラムデコーダ1305が接続される。

#### 【0006】

ロウデコーダ1304には、制御回路1306から、アクセスコントロール信号SE、ロウアドレス信号RADが供給される。カラムデコーダ1305には、

制御回路 1306 から、ライトイネーブル信号 WEN、カラムアドレス信号 CAD が供給される。

#### 【0007】

制御回路 1306 には、外部クロック信号 CLK、ロウアドレスストロブ信号 NRAS、カラムアドレスストロブ信号 NCAS、ライト制御信号 NWE、アドレス ADDR、リフレッシュ制御信号 REF が供給される。

#### 【0008】

カラムデコーダ 1305 は、I/Oバッファ 1307 に接続され、I/Oバッファ 1307 は、外部からデータ入力信号 DI を受け、外部にデータ入力信号 DO を出力する。

#### 【0009】

図 14 は、メモリセルアレイブロック 1302 の回路図である。図 14 において、1400 はメモリセル、1401 はセンスアンプ、1402 はビット線プリチャージ回路、BL[i] ( $i=0, 1, 2, \dots, n$ ) はビット線、 $\neg$ BL[i] ( $i=0, 1, 2, \dots, n$ ) は、BL[i] と対となるビット線、1403 はアクセストランジスタ、1404 はキャパシタである。

#### 【0010】

メモリセル 1400 は、1つの P チャネルトランジスタ 1403 とキャパシタ 1404 とで構成される。P チャネルトランジスタ 1403 のソースは、ビット線 BL[i] または  $\neg$ BL[i] に接続され、そのドレインはキャパシタ 1404 に、そのゲートにはワード線駆動信号 WL[i] ( $i=0, 1, \dots$ ) が供給される。キャパシタ 1404 の他方のノードには、メモリセルプレート電圧 VCP が印加される。

#### 【0011】

センスアンプ 1401 は、一般的なクロスカップル方式のセンスアンプであり、対となるビット線 BL[i]、 $\neg$ BL[i] に接続される。センスアンプ 1401 はセンスアンプ起動信号 SAN、SAP で制御される。

#### 【0012】

プリチャージ回路 1402 は、3つの P チャネルトランジスタで構成され、ソ

ースがビット線  $BL[i]$  に、ドレインが  $BL[i]$  に接続され、ゲートにビット線プリチャージ開始信号  $NEQ$  が供給されるトランジスタと、ソースがビット線  $BL[i]$  、ドレインがビット線プリチャージ電圧  $VBP$  、ゲートがビット線プリチャージ開始信号  $NEQ$  に接続されるトランジスタと、ソースにビット線プリチャージ電圧  $VBP$  が供給され、ドレインが  $BL[i]$  に接続され、ゲートにビット線プリチャージ開始信号  $NEQ$  が供給されるトランジスタとで構成される (特願 2001-354302 号)。

#### 【0013】

図 15 は、従来の半導体記憶装置における回路ブロックおよびビット線プリチャージ電圧  $VBP$  の電源配線ネットの模式図である。図 15 において、1500 は、図 13 のメモリセルアレイ 1301 と同一の構成を有するメモリセルアレイ、1501 は電源ブロック、1502 は電源装置、1503 は充放電制御回路、1504 は基準電圧発生回路、1505 はプリチャージ電圧ポンプ回路である。

#### 【0014】

メモリセルアレイ 1500 上には、複数配置されるメモリセルアレイブロック 1302 内に配置される、ビット線プリチャージ回路 1402 に供給するためのビット線プリチャージ電圧  $VBP$  用の電源配線が配置される。 $VBP[i]$  ( $i = 0, 1, 2, \dots, n-1, n$ ) はビット線プリチャージ電源配線で、電源ブロック 1501 に近い側から  $VBP[0]$ 、 $VBP[1]$ 、 $\dots$ 、 $VBP[n-1]$ 、 $VBP[n]$  とする。ビット線プリチャージ電源配線  $VBP[i]$  は、各メモリセルアレイブロック 1302 の上層の配線層でカラム方向に配置される (図中では実線で示している)。ビット線プリチャージ電源配線  $VBP[i]$  は、インピーダンスを下げるために、それぞれロウ方向に金属配線で接続される (図中では破線で示している)。ビット線プリチャージ電源配線  $VBP[i]$  は、このようにメッシュ状に配置され、またできるだけ太い配線が使用される。ビット線プリチャージ電源配線  $VBP[i]$  は、ビット線プリチャージ電圧発生回路 1504 に接続される。

#### 【0015】

図 16 は、図 15 に示すビット線プリチャージ電圧発生回路 1504 (例えば

、特許文献 1 参照) およびプリチャージ電圧ポンプ回路 1505 の内部構成を示す回路図である。図 16 において、プリチャージ電圧ポンプ回路 1505 は、ポンピング用キャパシタ 1600 と、第 1 の P チャンネルトランジスタ 1601 と、第 2 の P チャンネルトランジスタ 1602 と、第 1 の N チャンネルトランジスタ 1603 と、インバータ 1604 と、バッファインバータ 1605 とで構成される。なお、CPND は電荷蓄積ノード、AP、NAP、ACP はトランスファゲート接続信号である。

#### 【0016】

ポンピング用キャパシタ 1600 の一方の電極は、第 1 の P チャンネルトランジスタ 1601、第 2 の P チャンネルトランジスタ 1602、および第 1 の N チャンネルトランジスタ 1603 のドレインに接続され、その他方の電極は接地電位  $V_{SS}$  に落とされる。ポンピング用キャパシタ 1600 の静電容量  $C_{cap}$  は、同時にプリチャージされるビット線対  $BL[n]$ 、 $\neg BL[n]$  の総容量を  $C_{bl}$  とした場合、ビット線対  $BL[n]$ 、 $\neg BL[n]$  の電位をビット線プリチャージ基準電圧  $V_{BPREF}$  までチャージするのに必要な電荷と等しい  $(V_{BPREF} - 1/2 V_{DD}) \times C_{bl}$  を蓄積できるような静電容量が必要となる。動作時には、オペアンプ 1607 により供給される電荷分を考慮し、 $C_{cap} < (V_{BPREF} - 1/2 V_{DD}) / (V_{DD} - V_{BPREF}) \times C_{bl}$  なる関係を満たす静電容量  $C_{cap}$  を有するポンピング用キャパシタ 1600 が用いられる。

#### 【0017】

第 1 の P チャンネルトランジスタ 1601 のゲートには、トランスファゲート接続信号 AP が印加され、そのソースには電源電圧  $V_{DD}$  が供給される。第 2 の P チャンネルトランジスタ 1602 のゲートには、トランスファゲート接続信号 NAP が印加され、そのソースはビット線プリチャージ電源配線  $V_{BP}[0]$  に接続される。第 1 の N チャンネルトランジスタ 1603 のゲートには、トランスファゲート接続信号 AP が印加され、そのソースはビット線プリチャージ電源配線  $V_{BP}[0]$  に接続される。インバータ 1604 は、トランスファゲート接続信号 AP を受けて、トランスファゲート接続信号 NAP を出力する。バッファインバータ 1605 は、偶数段のインバータの直列接続で構成され、トランスファゲート

接続信号ACPを受けて、トランスファゲート接続信号APを出力する。

#### 【0018】

ビット線プリチャージ電圧発生回路1504は、基準電圧発生回路1606と、オペアンプ1607と、Pチャネルトランジスタ1608とで構成される。なお、VBPREFはビット線プリチャージ基準電圧、VOUTはビット線プリチャージ保持電圧、PENはドライバイネーブル信号である。基準電圧発生回路1606は、ビット線プリチャージ基準電圧VBPREFおよびビット線プリチャージ保持電圧VOUTを発生し、ビット線プリチャージ基準電圧VBPREFはオペアンプ1607の反転入力端子(−)に、ビット線プリチャージ保持電圧VOUTは、ビット線プリチャージ電源配線VBP[0]に供給される。オペアンプ1607の非反転入力端子(+)には、ビット線プリチャージ電源配線VBP[0]が接続され、オペアンプ1607からドライバイネーブル信号PENが出力され、Pチャネルトランジスタ1608のゲートに入力される。Pチャネルトランジスタ1608のソースには電源電圧VDDが供給され、そのドレインはビット線プリチャージ電源配線VBP[0]に接続されている。

#### 【0019】

図17は、図15に示す充放電制御回路1503の内部構成を示す回路図である。図17において、1701は第1の遅延素子、1702は第2の遅延素子、1703はインバータ、1704はNOR素子である。第1の遅延素子1701は、ビット線プリチャージ開始信号NEQを遅延時間 $\tau_1$ だけ遅延させて、第2の遅延素子1702、NOR素子1704の一方の入力端子に送る。第2の遅延素子1702は、入力信号を遅延時間は $\tau_2$ だけ遅延させて、インバータ1703に送る。インバータ1703の出力信号はNOR素子1704の他方の入力端子に送られ、NOR素子1704は、トランスファゲート接続信号ACPを出力する。

#### 【0020】

次に、以上のように構成された半導体記憶装置におけるビット線プリチャージ時の動作について、図18を参照して説明する。

#### 【0021】

図18は、図14から図17における各部信号の電圧および電流を示すタイミングチャートである。

#### 【0022】

ビット線プリチャージ開始信号NEQがローレベルにされ、ビット線プリチャージ回路1402が活性化されると、センスアンプ1401により電位をそれぞれVDD、VSSにされていたビット線対BL[n]、 $\neg$ BL[n]の電位がイコライズされ、 $1/2$ VDDの電位にチャージされようとする。ビット線プリチャージ回路1402は同時に、ビット線対BL[n]、 $\neg$ BL[n]をビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。その際に電流が消費され、電圧降下が発生する。

#### 【0023】

ビット線プリチャージ電源配線VBP[n]に電圧降下が発生すると、メッシュ状に接続される配線を通して、ビット線プリチャージ電源配線VBP[0]にも電圧降下が伝達される。それを検知して、ビット線プリチャージ電圧発生回路1504のオペアンプ1607が活性化するが、Pチャネルトランジスタ1608の流す電流 $i_a$ が大きくなるまでには時間を要する。

#### 【0024】

ビット線プリチャージ開始信号NEQがハイレベルの場合には、プリチャージ電圧ポンプ回路1505におけるトランスファゲート接続信号APはローレベルで、NAPはハイレベルであるため、第2のPチャネルトランジスタ1602、第1のNチャネルトランジスタ1603はオフしており、また第1のPチャネルトランジスタ1601はオンしており、電荷蓄積ノードCPNDはハイレベルにチャージされており、ポンピング用キャパシタ1600には電荷が蓄積されている。

#### 【0025】

次に、ビット線プリチャージ開始信号NEQがローレベルにされると、充放電制御回路1503の第1の遅延素子1701で決まる遅延時間 $\tau_1$ の後に、トランスファゲート接続信号APはハイレベル、NAPはローレベルとなり、第1のPチャネルトランジスタ1601はオフし、第2のPチャネルトランジスタ16

02、第1のNチャネルトランジスタ1603がオンする。これにより、ポンピング用キャパシタ1600とビット線プリチャージ電源配線VBP[0]とが電氣的に接続されて、電流 $i_b$ が流れる。電荷蓄積ノードCPNDにはハイレベルがチャージされており、電流 $i_b$ により、ビット線プリチャージ電源配線VBP[0]は急速にレベルが上げられる。

#### 【0026】

レベルの上昇を受けて、オペアンプ1607は、Pチャネルトランジスタ1608をオフする方向に動作を変えるが、流す電流 $i_a$ が小さくなるまでには時間を要する。

#### 【0027】

その後、第2の遅延素子1702で決まる遅延時間 $\tau_2$ の後に、トランスファゲート接続信号APがローレベル、NAPがハイレベルとなり、第2のPチャネルトランジスタ1602、第1のNチャネルトランジスタ1603がオフし、また第1のPチャネルトランジスタ1601がオンし、電荷蓄積ノードCPNDはハイレベルにチャージされ、次のプリチャージ動作に備えられる。

#### 【0028】

ここで、プリチャージ動作を高速で行うためには、ポンピング用キャパシタ1600に十分な電荷量を蓄積する必要があるが、ポンピング用キャパシタ1600としては比較的大きなサイズが必要となる。

#### 【0029】

#### 【特許文献1】

特開2000-30450号公報

#### 【0030】

#### 【発明が解決しようとする課題】

次の読み出し動作の際に安定して読み出しを行うためには、ビット線対BL[n]、 $\neg$ BL[n]のプリチャージ動作を所定の時間内に実行する必要があるが、従来の半導体記憶装置では、プリチャージ動作を所定の時間内に行うために、比較的大きなサイズの大きいポンピング用キャパシタ1600を用いてポンプ動作を行う必要があるが、そのためにチップ面積の縮小化が困難であった。



**【 0 0 3 1 】**

本発明は、かかる問題点に鑑みてなされたものであり、その目的は、比較的小さなサイズのポンピング用キャパシタでもプリチャージ動作を高速に行うことができ、チップ面積を縮小可能な半導体記憶装置を提供することにある。

**【 0 0 3 2 】****【課題を解決するための手段】**

前記の目的を達成するため、本発明による第 1 の半導体記憶装置は、複数のメモリセルと、複数のメモリセルが接続されたビット線対と、第 1 の制御信号（N E Q）に応じてビット線対を所定のプリチャージ電圧（V B P）にプリチャージするための複数のプリチャージ回路と、複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線対のイコライズ電圧とプリチャージ電圧が異なる半導体記憶装置であって、ビット線プリチャージ電圧発生装置は、

プリチャージ電圧を発生して複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、ポンピング用キャパシタの第 1 の電極を第 1 の電源（V D D）に接続する第 1 のスイッチと、第 1 の電極とプリチャージ電圧発生回路の出力ノードを接続する第 2 のスイッチと、ポンピング用キャパシタの第 2 の電極を第 1 の電源に接続する第 3 のスイッチと、第 2 の電極を第 2 の電源（V S S）に接続する第 4 のスイッチと、第 1、第 2、第 3 および第 4 のスイッチのオン／オフを制御する制御回路からなるプリチャージ電圧ポンプ回路とを備えたことを特徴とする。

**【 0 0 3 3 】**

この構成により、ポンピング用キャパシタのサイズが小さくても、ビット線のプリチャージ動作を高速に行うことができる。

**【 0 0 3 4 】**

また、第 1 の半導体記憶装置において、第 1、第 2、第 3 および第 4 のスイッチとポンピング用キャパシタは M O S トランジスタで構成されることが好ましい。これにより、ビット線プリチャージ電圧発生装置を M O S 集積回路に容易に搭

載することができる。

【0035】

また、第1の半導体記憶装置は複数のゲート酸化膜厚を有して成り、第1、第2、第3および第4のスイッチとポンピング用キャパシタは厚膜のゲート酸化膜厚のMOSトランジスタで構成されることが好ましい。これにより、DRAMのワード線信号やプリチャージ開始信号等の高電圧で回路を駆動することができる。

【0036】

また、第1の半導体記憶装置は複数のゲート酸化膜厚を有して成り、第1、第2、第3および第4のスイッチとポンピング用キャパシタは薄膜のゲート酸化膜厚のMOSトランジスタで構成されることが好ましい。これにより、低電圧で駆動能力の高いトランジスタや、小面積のポンピング用キャパシタが構成でき、低電力化を図ることができる。

【0037】

また、第1の半導体記憶装置において、プリチャージ電圧ポンプ回路の制御回路は、プリチャージ時、あるいはプリチャージ開始から一定時間だけ、第2のスイッチと第3のスイッチをオンするよう制御し、それ以外の時間は、第1のスイッチと第4のスイッチをオンするように制御して動作することを特徴とする。これにより、ポンピング用キャパシタの電荷をビット線対に転送し、ビット線対の電位を高速に所望の電位にすることができる。

前記の目的を達成するため、本発明による第2の半導体記憶装置は、複数のメモリセルと、複数のメモリセルが接続されたビット線対と、第1の制御信号（NEQ）に応じてビット線対を所定のプリチャージ電圧（VBP）にプリチャージするための複数のプリチャージ回路と、複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線対のイコライズ電圧とプリチャージ電圧が異なる半導体記憶装置であって、ビット線プリチャージ電圧発生装置は、

プリチャージ電圧を発生して複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、ポンピング用キャパシタの第1の電極を第1の電源(VDD)に接続する第1のスイッチと、第1の電極とプリチャージ電圧発生回路の出力ノードを接続する第2のスイッチと、第1および第2のスイッチのオン/オフを制御する制御回路と、ポンピング用キャパシタの第2の電極を第2の制御信号(EXCP)で駆動するプリチャージ電圧ポンプ回路とを備えたことを特徴とする。

#### 【0038】

この構成により、第1の半導体記憶装置の利点に加えて、部品点数を削減することができ、さらにチップ面積を縮小することができる。

#### 【0039】

前記の目的を達成するため、本発明による第3の半導体記憶装置は、複数のメモリセルと、複数のメモリセルが接続されたビット線対と、第1の制御信号(NEQ)に応じてビット線対を所定のプリチャージ電圧(VBP)にプリチャージするための複数のプリチャージ回路と、複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線対のイコライズ電圧とプリチャージ電圧が異なる半導体記憶装置であって、ビット線プリチャージ電圧発生装置は、

プリチャージ電圧を発生して複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、ポンピング用キャパシタの第1の電極を第1の電源(VDD)に接続する第1のスイッチと、第1の電極とプリチャージ電圧発生回路の出力ノードを接続する第2のスイッチと、第1および第2のスイッチのオン/オフを制御する制御回路と、ポンピング用キャパシタの第2の電極を第2の制御信号(EXCP)で駆動するプリチャージ電圧ポンプ回路とを備え、

第2の制御信号は、プリチャージ回路へのビット線プリチャージ開始信号である第1の制御信号の活性化期間内に立ち上がることを特徴とする。

#### 【0040】

この構成と制御により、第2の半導体記憶装置の構成上の利点に加えて、ポンピング用キャパシタの第1の電極に過電圧が印加されることなく、ポンピング用キャパシタの電荷を、効率よくビット線対に転送することができる。

#### 【0041】

前記の目的を達成するため、本発明による第4の半導体記憶装置は、複数のメモリセルと、複数のメモリセルが接続されたビット線対と、第1の制御信号（N E Q）に応じてビット線対を所定のプリチャージ電圧にプリチャージするための複数のプリチャージ回路と、複数のプリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線対のイコライズ電圧とプリチャージ電圧が異なる半導体記憶装置であって、ビット線プリチャージ電圧発生装置は、

プリチャージ電圧を発生して複数のプリチャージ回路に供給するプリチャージ電圧発生回路と、

ポンピング用キャパシタと、ポンピング用キャパシタの第1の電極を第1の電源（V D D）に接続する第1のスイッチと、第1の電極とプリチャージ電圧発生回路の出力ノードを接続する第2のスイッチと、第1および第2のスイッチのオン／オフを制御する制御回路と、ポンピング用キャパシタの第2の電極を第2の制御信号（E X C P）で駆動するプリチャージ電圧ポンプ回路とを備え、

第2の制御信号は、プリチャージ回路へのビット線プリチャージ開始信号である第1の制御信号が活性化して、所定の遅延時間の後、第1の制御信号の遷移時間より長い時間をかけて立ち上がることを特徴とする。

#### 【0042】

この構成と制御により、第2の半導体記憶装置の構成上の利点に加えて、ポンピング用キャパシタの第1の電極に過電圧が印加されることなく、ポンピング用キャパシタの電荷を、効率よくビット線対に転送することができる。

#### 【0043】

また、第1から第4の半導体記憶装置において、第1の制御信号がプリチャージ回路へのビット線プリチャージ開始信号であることにより、プリチャージ動作時に、ポンピング用キャパシタの電荷をビット線対に転送し、所望の電圧を得る

ことができる。

【0044】

また、第2の半導体記憶装置において、第1の制御信号が第2制御信号を兼用することが好ましい。これにより、第2の制御信号の制御のために必要となる制御回路や信号配線等の占める面積を削減することができる。

【0045】

また、第2から第4の半導体記憶装置において、第1のスイッチと、第2のスイッチと、ポンピング用キャパシタがMOSトランジスタで構成されることが好ましい。これにより、ビット線プリチャージ電圧発生装置をMOS集積回路に容易に搭載することができる。

【0046】

また、第2から第4の半導体記憶装置は複数のゲート酸化膜厚を有して成り、第1のスイッチと、第2のスイッチと、ポンピング用キャパシタが厚膜のゲート酸化膜厚のMOSトランジスタで構成されることが好ましい。これにより、DRAMのワード線信号やビット線プリチャージ開始信号等の高電圧で回路を駆動することができる。

【0047】

また、第2から第4の半導体記憶装置は複数のゲート酸化膜厚を有して成り、第1のスイッチと、第2のスイッチと、ポンピング用キャパシタが薄膜のゲート酸化膜厚のMOSトランジスタで構成されることが好ましい。これにより、低電圧で駆動能力の高いトランジスタや、小面積のポンピング用キャパシタが構成でき、低電力化を図ることができる。

【0048】

また、第2から第4の半導体記憶装置において、プリチャージ時、あるいはプリチャージ開始から一定時間だけ、第1の制御信号により第2のスイッチと第3のスイッチをオンするよう制御し、第2の制御信号によってポンピング用キャパシタの電荷がプリチャージ電圧発生回路の出力ノードに転送されるよう動作することを特徴とする。これにより、ポンピング用キャパシタの電荷を前記ビット線対に転送し、ビット線プリチャージ電圧を高速に所望の電位にすることができる。

。

#### 【0049】

また、第1から第4の半導体記憶装置は、NチャネルMOSトランジスタの第1のウェル領域とPチャネルMOSトランジスタの第2のウェル領域を有して成り、ポンピング用キャパシタを構成するMOSトランジスタは、第2のウェル領域のトランジスタで構成されることが好ましい。これにより、ポンピング用キャパシタをPチャネルMOSトランジスタで構成することができる。

#### 【0050】

また、第1から第4の半導体記憶装置は、NチャネルMOSトランジスタの第1のウェル領域と、PチャネルMOSトランジスタの第2のウェル領域と、NチャネルMOSトランジスタの第3のウェル領域のトリプルウェル領域を有して成り、ポンピング用キャパシタを構成するMOSトランジスタは、第3のウェル領域のトランジスタで構成されることが好ましい。これにより、ポンピング用キャパシタをトリプルウェル内のNチャネルMOSトランジスタで構成することができる。

#### 【0051】

また、第1から第4の半導体記憶装置において、ポンピング用キャパシタの第1の電極がMOSトランジスタのゲート電極で構成され、第2の電極がMOSトランジスタのソースとドレインと基板とを接続して構成されることが好ましい。これにより、ポンピング用キャパシタの電荷をビット線対に転送し、ビット線対の電位を高速に所望の電位にすることができる。

#### 【0052】

また、第1から第4の半導体記憶装置において、ポンピング用キャパシタの第1の電極がMOSトランジスタのソースとドレインと基板とを接続して構成され、第2の電極がMOSトランジスタのゲート電極で構成されることが好ましい。これにより、ポンピング用キャパシタをPチャネルMOSトランジスタで構成し、ポンピング用キャパシタの電荷をビット線対に転送し、ビット線対の電位を高速に所望の電位にすることができる。

#### 【0053】

また、第 1 から第 4 の半導体記憶装置において、ポンピング用キャパシタは、半導体記憶装置内の複数の配線層を電極とし、配線間に形成される静電容量でキャパシタを構成することが好ましい。これにより、電界の空乏化などに左右されない安定した容量を得ることができる。

#### 【 0 0 5 4 】

また、第 1 から第 4 の半導体記憶装置において、複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、プリチャージ電圧ポンプ回路は、それぞれのメモリーセルアレイブロックに対をなして配置されることが好ましい。これにより、それぞれのメモリセルアレイブロックごとに個別にプリチャージ動作を行うことが可能となり、DRAMマクロ容量に応じてビット線プリチャージ電圧発生装置の能力を変えることが不要になる。

#### 【 0 0 5 5 】

また、第 1 から第 4 の半導体記憶装置において、複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、プリチャージ電圧ポンプ回路は、それぞれのメモリセルアレイブロックに対をなして配置され、それぞれのメモリセルアレイブロックの非プリチャージ状態からプリチャージ状態への移行に応じて動作することが好ましい。これにより、それぞれのメモリセルアレイブロックごとのビット線プリチャージ動作に応じてプリチャージ電圧のポンピング動作を行うことが可能となり、DRAMマクロ容量に応じてビット線プリチャージ電圧発生装置の能力を変えることが不要になる。

#### 【 0 0 5 6 】

また、第 1 から第 4 の半導体記憶装置において、複数のメモリセルは、個別に活性化できる複数のメモリセルアレイブロックに構成され、プリチャージ電圧ポンプ回路は、それぞれのメモリーセルアレイブロックに対をなして配置され、メモリーセルアレイブロック内のプリチャージ回路へのビット線プリチャージ開始信号に基づいて動作することが好ましい。これにより、それぞれのメモリセルアレイブロックごとのビット線プリチャージ開始信号を用いてプリチャージ電圧のポンピング動作を行うことが可能となり、DRAMマクロ容量に応じてビット線プリチャージ電圧発生装置の能力を変えることが不要になる。

**【 0 0 5 7 】**

また、第 1 から第 4 の半導体記憶装置において、ビット線プリチャージ電圧発生装置は、メモリセルアレイブロックのいずれか一辺で、センスアンプ列と平行に配置されることが好ましい。これにより、ビット線プリチャージ電圧の発生に必要な制御信号線をセンスアンプ列と平行に配置することが可能となるため、制御信号線の配置のために必要とされる面積を削減できる。

**【 0 0 5 8 】**

また、第 1 から第 4 の半導体記憶装置において、ビット線プリチャージ電圧発生装置は、メモリセルアレイブロックのいずれか一辺で、プリチャージ回路列の隣に配置されることが好ましい。これにより、ビット線プリチャージ電圧発生装置からプリチャージ回路列へのプリチャージ電圧の転送を効率良く行うことができる。

**【 0 0 5 9 】**

また、第 1 から第 4 の半導体記憶装置において、ビット線プリチャージ電圧発生装置は、メモリセルアレイブロックのいずれか一辺で、ロウデコーダブロック内、あるいはロウデコーダ列と平行に配置されることが好ましい。これにより、ビット線プリチャージ電圧の発生に必要な制御信号を効率良くビット線プリチャージ電圧発生装置に転送することが可能となり、さらにプリチャージ回路列に平行に配置した電源配線によって、ビット線プリチャージ電圧をプリチャージ回路列に効率良く供給することができ、電源配線等の占める面積を削減することもできる。

**【 0 0 6 0 】**

また、第 1 から第 4 の半導体記憶装置において、ビット線プリチャージ電圧発生装置は、メモリセルアレイブロックのいずれか一辺で、メモリセルアレイブロックを挟んでロウデコーダブロックと対向する辺に配置されることが好ましい。これにより、プリチャージ回路列に平行に配置した電源配線によって、ビット線プリチャージ電圧をプリチャージ回路列に効率よく供給することができ、電源配線等の占める面積を削減することができる。

**【 0 0 6 1 】**



また、第1から第4の半導体記憶装置において、第2の制御信号の電圧振幅は、複数のメモリセルに接続されたワード線の電圧振幅とほぼ同じであることが好ましい。

#### 【0062】

また、前記の目的を達成するため、本発明による半導体装置は、第2から第4の半導体記憶装置のいずれかと論理回路装置とが混載された半導体装置であって、第2の制御信号の電圧振幅は、論理回路装置における信号の電圧振幅とほぼ同じであることを特徴とする。

#### 【0063】

##### 【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

#### 【0064】

##### （第1の実施形態）

図1は、本発明の第1の実施形態による半導体記憶装置における回路ブロックおよびビット線プリチャージ電圧VBPの電源配線ネットを示す模式図である。なお、図1において、従来例の説明で参照した図15と同様の構成および機能を有する部分については、同一の符号を付して説明を省略する。また、DRAM回路の機能ブロック構成、メモリセルアレイブロック1302の回路構成、メモリセルアレイ1500内のビット線プリチャージ電圧VBPの電源配線ネット、充放電制御回路1503の回路構成は、それぞれ、図13、図14、図15、図17に示す従来の構成と同様である。

#### 【0065】

本実施形態が従来例と異なるのは、電源ブロック101に含まれるビット線プリチャージ電圧発生装置102内のプリチャージ電圧ポンプ回路105の構成にある。

#### 【0066】

ビット線プリチャージ電圧発生装置102は、ビット線プリチャージ電源配線VBP[0]～VBP[n]のうち、もっとも近接するビット線プリチャージ電源配線VBP[0]およびもっとも遠方のビット線プリチャージ電源配線VBP

[n] に接続される。

#### 【0067】

図2は、図1に示すビット線プリチャージ電圧発生回路1504およびプリチャージ電圧ポンプ回路105の内部構成を示す回路図である。図2において、プリチャージ電圧ポンプ回路105は、ポンピング用キャパシタ200と、第1のPチャネルトランジスタ201（第1のスイッチ）と、第2のPチャネルトランジスタ202（第2のスイッチ）と、第1のNチャネルトランジスタ203（第2のスイッチ）と、インバータ204（制御回路）と、バッファインバータ205（制御回路）と、第3のPチャネルトランジスタ206（第3のスイッチ）と、第2のNチャネルトランジスタ207（第4のスイッチ）とで構成される。なお、CPND1は第1の電荷蓄積ノード、CP1は第2の電荷蓄積ノード、AP、NAP、ACPはトランスファゲート接続信号である。ビット線プリチャージ電圧発生回路1504の構成は従来と同じである。

#### 【0068】

ポンピング用キャパシタ200の第1の電極には、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203のドレインが接続され、ポンピング用キャパシタ200の第2の電極には、第3のPチャネルトランジスタ206、第2のNチャネルトランジスタ207のドレインが接続された第2の電荷蓄積ノードCPに接続される。ポンピング用キャパシタ200の静電容量 $C_{cap}$ は、同時にプリチャージされるビット線対BL[n]、 $\neg$ BL[n]の総容量を $C_{bl}$ とした場合、ビット線対BL[n]、 $\neg$ BL[n]の電位をビット線プリチャージ基準電圧 $V_{BPREF}$ までチャージするのに必要な電荷と等しい $(V_{BPREF} - 1/2 V_{DD}) \times C_{bl}$ を蓄積できるような静電容量が必要となる。動作時には、オペアンプ1607により供給される電荷分を考慮し、 $C_{cap} < (V_{BPREF} - 1/2 V_{DD}) / (V_{DD} - V_{BPREF}) \times C_{bl}$ なる関係を満たす静電容量 $C_{cap}$ を有するポンピング用キャパシタ200が用いられる。

#### 【0069】

第1のPチャネルトランジスタ201のゲートには、トランスファゲート接続

信号APが印加され、ソースには電源電圧VDDが供給される。第2のPチャネルトランジスタ202のゲートには、トランスファゲート接続信号NAPが印加され、そのソースはビット線プリチャージ電源配線VBP[0]に接続される。第1のNチャネルトランジスタ203のゲートには、トランスファゲート接続信号APが印加され、そのソースはビット線プリチャージ電源配線VBP[0]に接続される。インバータ204は、トランスファゲート接続信号APを受けて、トランスファゲート接続信号NAPを出力する。バッファインバータ205は、偶数段のインバータの直列接続で構成され、トランスファゲート接続信号ACPを受けて、トランスファゲート接続信号APを出力する。第3のPチャネルトランジスタ206のゲートには、トランスファゲート接続信号NAPが印加され、そのソースには電源電圧VDDが供給される。第2のNチャネルトランジスタ207のゲートには、トランスファゲート接続信号NAPが印加され、そのソースは接地電位VSSに接続される。

#### 【0070】

図7は、本実施形態で用いられるMOSトランジスタの半導体構造を示す断面図である。701はゲート電極、702はNチャネルMOS領域におけるソース・ドレイン電極、703はPチャネルMOS領域におけるソース・ドレイン電極、704はNチャネルMOS領域における基板コンタクト、705はPチャネルMOS領域における基板コンタクト、706はNチャネルMOSトランジスタの第1のウェル領域、707はPチャネルMOSトランジスタの第2のウェル領域、708はNチャネルMOSトランジスタの第3のウェル領域、709はP型半導体基板、710はゲート酸化膜である。

#### 【0071】

次に、以上のように構成された半導体記憶装置におけるビット線プリチャージ時の動作について、図3を参照して説明する。

#### 【0072】

図3は、図1、図2、図14、図17における各部信号の電圧および電流を示すタイミングチャートである。

#### 【0073】

ビット線プリチャージ開始信号NEQ（第1の制御信号）がローレベルにされ、プリチャージ回路1402が活性化されると、センスアンプ1401により電位をそれぞれVDD、VSSにされていたビット線対BL[n]、 $\overline{\text{BL}}$ [n]の電位がイコライズされ、 $1/2 \text{ VDD}$ の電位にチャージされようとする。プリチャージ回路1402は同時に、ビット線対BL[n]、 $\overline{\text{BL}}$ [n]をビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。その際に電流が消費され、電圧降下が発生する。

#### 【0074】

ビット線プリチャージ電源配線VBP[n]に電圧降下が発生すると、メッシュ状に接続される配線を通して、ビット線プリチャージ電源配線VBP[0]にも電圧降下が伝達される。

#### 【0075】

VBP[n]の電圧降下を検知して、ビット線プリチャージ電圧発生回路1504のオペアンプ1607が活性化するが、Pチャネルトランジスタ1608の流す電流 $i_a$ が大きくなるまでには時間を要する。

#### 【0076】

ビット線プリチャージ開始信号NEQがハイレベルの場合には、トランスファゲート接続信号APはローレベル、NAPはハイレベルで、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第3のPチャネルトランジスタ206はオフしており、また第1のPチャネルトランジスタ201、第2のNチャネルトランジスタ207はオンしており、第1の電荷蓄積ノードCPND1はハイレベルにチャージされており、第2の電荷蓄積ノードCP1は、第3のNチャネルトランジスタを介して接地電位VSSに接続されている。

#### 【0077】

次に、ビット線プリチャージ開始信号NEQがローレベルにされると、充放電制御回路1503の第1の遅延素子1701で決まる遅延時間 $\tau_1$ の後に、トランスファゲート接続信号APはハイレベル、NAPはローレベルとなり、第1のPチャネルトランジスタ201、第2のNチャネルトランジスタ207はオフし、第2のPチャネルトランジスタ202、第3のPチャネルトランジスタ206

、第1のNチャネルトランジスタ203がオンする。これにより、第2の電荷蓄積ノードCP1の電圧が昇圧され、第1の電荷蓄積ノードCPND1は瞬間的に昇圧され、第1の電荷蓄積ノードCPND1とビット線プリチャージ電源配線VBP[0]が電氣的に接続されて、電流 $i_b$ が流れる。この電流 $i_b$ により、ビット線プリチャージ電源配線VBP[0]は急速にレベルが上げられる。

#### 【0078】

レベルの上昇を受けて、オペアンプ1607は、Pチャネルトランジスタ1608をオフする方向に動作を変えるが、流す電流 $i_a$ が小さくなるまでには時間を要する。

#### 【0079】

その後、充放電制御回路1503の第2の遅延素子1702で決まる遅延時間 $\tau_2$ の後に、トランスファゲート接続信号APがローレベル、NAPがハイレベルとなり、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第3のPチャネルトランジスタ206がオフし、また第1のPチャネルトランジスタ201、第2のNチャネルトランジスタ207がオンし、第1の電荷蓄積ノードCPND1は再び電源電圧VDDにチャージされ、次のプリチャージ動作に備えられる。

#### 【0080】

以上のように、本実施形態によれば、ビット線対BL[n]、 $\neg$ BL[n]をプリチャージする際に、オペアンプ1607の動作の遅れを補償するために、ポンピング用キャパシタ200に蓄積された電荷を放電する機能に加えて、さらにプリチャージ動作の高速化およびポンピング用キャパシタ200のサイズ縮小を図るために、ポンピング用キャパシタ200の第2の電極を、第3のPチャネルトランジスタ206および第2のNチャネルトランジスタ207を介して電源電圧VDDまたは接地電位VSSに接続することで、所定時間内にプリチャージ動作を実行でき、かつポンピング用キャパシタ200の容量面積を低減できることから、チップ上におけるレイアウト面積を縮小することが可能となる。

#### 【0081】

また、プリチャージ動作を制御する第1のPチャネルトランジスタ201、第

2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第3のPチャネルトランジスタ206、第2のNチャネルトランジスタ207、およびポンピング用キャパシタ200をMOSトランジスタで構成することにより、本実施形態のビット線プリチャージ電圧発生回路をMOS集積回路に容易に搭載することが可能となる。

#### 【0082】

また、プリチャージ動作を制御する第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第3のPチャネルトランジスタ206、第2のNチャネルトランジスタ207、およびポンピング用キャパシタ200を厚膜のMOSトランジスタで構成することにより、本実施形態のビット線プリチャージ回路を高電圧にて駆動することが可能となる。

#### 【0083】

また、本実施形態において、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第3のPチャネルトランジスタ206、第2のNチャネルトランジスタ207、およびポンピング用キャパシタ200は、薄膜のMOSトランジスタで構成することも可能であり、それにより本実施形態のビット線プリチャージ回路を、低電圧で駆動能力の高いトランジスタや小面積のキャパシタで構成でき、回路における消費電力の低電力化を図ることもできる。

#### 【0084】

また、本実施形態において、ポンピング用キャパシタ200を、図7に示すNチャネルMOSトランジスタの第1のウェル領域706およびPチャネルMOSトランジスタの第2のウェル領域707のうち、PチャネルMOSトランジスタの第2のウェル領域707内のトランジスタで形成し、ポンピング用キャパシタ200のゲート電極（第1の電極）を第3のPチャネルトランジスタ206、第2のNチャネルトランジスタ207のドレインに、そのソース・ドレイン電極（第2の電極）を第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203のドレインに接続すること

により、ポンピング用キャパシタ 200 を P チャンネルトランジスタで構成して、同等の効果を得ることもできる。

#### 【0085】

また、本実施形態において、ポンピング用キャパシタ 200 を、図 7 に示す N チャンネル MOS トランジスタの第 1 のウェル領域 706、P チャンネル MOS トランジスタの第 2 のウェル領域 707、および N チャンネル MOS トランジスタの第 3 のウェル領域 708 のトリプルウェル領域 709 のうち、N チャンネル MOS トランジスタの第 3 のウェル領域 708 内のトランジスタで形成することにより、ポンピング用キャパシタ 200 をトリプルウェル内の N チャンネルトランジスタで構成して、同等の効果を得ることもできる。

#### 【0086】

また、本実施形態において、ポンピング用キャパシタ 200 を、複数の配線層を電極として、その配線間に形成される静電容量で構成したキャパシタで構成することも可能であり、これにより電界の空乏化などに左右されない安定した容量を得ることができる。

#### 【0087】

##### (第 2 の実施形態)

図 4 は、本発明の第 2 の実施形態による半導体記憶装置におけるビット線プリチャージ電圧 VBP の電源配線ネットを示す模式図である。なお、図 1 において、従来例および第 1 の実施形態の説明でそれぞれ参照した図 15 および図 1 と同様の構成および機能を有する部分については、同一の符号を付して説明を省略する。また、DRAM 回路の機能ブロック構成、メモリセルアレイブロック 1302 の回路構成、メモリセルアレイ 1500 内のビット線プリチャージ電圧 VBP の電源配線ネット、充放電制御回路 1503 の回路構成は、それぞれ、図 13、図 14、図 15、図 17 に示す従来の構成と同様である。

#### 【0088】

本実施形態が第 1 の実施形態と異なるのは、電源ブロック 401 に含まれるビット線プリチャージ電圧発生装置 402 内のプリチャージ電圧ポンプ回路 405 の構成にある。

## 【0089】

図5は、図4に示すビット線プリチャージ電圧発生回路1504およびプリチャージ電圧ポンプ回路405の内部構成を示す回路図である。図5において、プリチャージ電圧ポンプ回路405は、ポンピング用キャパシタ500と、第1のPチャネルトランジスタ501（第1のスイッチ）と、第2のPチャネルトランジスタ502（第2のスイッチ）と、Nチャネルトランジスタ503（第2のスイッチ）と、インバータ504（制御回路）と、バッファインバータ505（制御回路）とで構成される。なお、CPND2は第1の電荷蓄積ノード、CP2は第2の電荷蓄積ノード、AP、NAP、ACPはトランスファゲート接続信号、EXCPは第2の制御信号である。

## 【0090】

ポンピング用キャパシタ500の第1の電極には、第1のPチャネルトランジスタ501、第2のPチャネルトランジスタ502、Nチャネルトランジスタ503のドレインが接続され、ポンピング用キャパシタ500の第2の電極には、メモリセルアレイ1500に接続されたワード線の電圧振幅と同程度の電圧振幅を有する第2の制御信号EXCPが印加される。ポンピング用キャパシタ500の静電容量 $C_{cap}$ は、同時にプリチャージされるビット線対BL[n]、 $\overline{BL}$ [n]の総容量を $C_{bl}$ としたときに、ビット線対BL[n]、 $\overline{BL}$ [n]の電位をビット線プリチャージ基準電圧VBPREFまでチャージするのに必要な電荷と等しい $(VBPREF - 1/2 VDD) \times C_{bl}$ を蓄積できるような静電容量が必要となる。動作時には、オペアンプ1607により供給される電荷分を考慮し、 $C_{cap} < (VBPREF - 1/2 VDD) / (VDD - VBPREF) \times C_{bl}$ なる関係を満たす静電容量 $C_{cap}$ を有するポンピング用キャパシタ500が用いられる。

## 【0091】

第1のPチャネルトランジスタ501のゲートには、トランスファゲート接続信号APが印加され、そのソースには電源電圧VDDが供給される。第2のPチャネルトランジスタ502のゲートには、トランスファゲート接続信号NAPが印加され、そのソースはビット線プリチャージ電源配線VBP[0]に接続され



る。Nチャネルトランジスタ503のゲートには、トランスファゲート接続信号APが印加され、そのソースはビット線プリチャージ電源配線VBP[0]に接続される。インバータ504は、トランスファゲート接続信号APを受けて、トランスファゲート接続信号NAPを出力する。バッファインバータ505は、偶数段のインバータの直列接続で構成され、トランスファゲート接続信号ACPを受けて、トランスファゲート接続信号APを出力する。

#### 【0092】

なお、本実施形態におけるMOSトランジスタ構成は、第1の実施形態で参照した図7と同一である。

#### 【0093】

以上のように構成された半導体記憶装置におけるビット線プリチャージ時の動作について、図6を参照して説明する。

#### 【0094】

図6は、図4、図5、図14、図17における各部信号の電圧および電流を示すタイミングチャートである。

#### 【0095】

ビット線プリチャージ開始信号NEQがローレベルにされ、プリチャージ回路1402が活性化されると、センスアンプ1401により電位をそれぞれVDD、VSSにされていたビット線対BL[n]、 $\overline{\text{BL}}$ [n]の電位がイコライズされ、 $1/2$ VDDの電位にチャージされようとする。プリチャージ回路1402は同時に、ビット線対BL[n]、 $\overline{\text{BL}}$ [n]をビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。その際に電流が消費され、電圧降下が発生する。

#### 【0096】

ビット線プリチャージ電源配線VBP[n]に電圧降下が発生すると、メッシュ状に接続される配線を通して、ビット線プリチャージ電源配線VBP[0]にも電圧降下が伝達される。

#### 【0097】

VBP[n]の電圧降下を検知して、ビット線プリチャージ電圧発生回路15

04 のオペアンプ 1607 が活性化するが、P チャンネルトランジスタ 1608 の流す電流  $i_a$  が大きくなるまでには時間を要する。

#### 【0098】

ビット線プリチャージ開始信号 NEQ がハイレベルの場合には、トランスファゲート接続信号 AP はローレベル、NAP はハイレベルで、第 2 の P チャンネルトランジスタ 502、N チャンネルトランジスタ 503 はオフしており、また第 1 の P チャンネルトランジスタ 501 はオンしており、第 2 の制御信号 EXCP は VSS に設定されており、第 1 の電荷蓄積ノード CPND2 は電源電圧 VDD にチャージされており、第 2 の電荷蓄積ノード CP2 は接地電位 VSS に接続されている。

#### 【0099】

次に、ビット線プリチャージ開始信号 NEQ がローレベルにされると、充放電制御回路 1503 の第 1 の遅延素子 1701 で決まる遅延時間  $\tau_1$  の後に、トランスファゲート接続信号 AP はハイレベル、NAP はローレベルとなり、第 1 の P チャンネルトランジスタ 501 はオフし、第 2 の P チャンネルトランジスタ 502、N チャンネルトランジスタ 503 がオンする。

#### 【0100】

このとき、第 2 の制御信号 EXCP を、トランスファゲート接続信号 AP の立ち上がり時間と比べて緩やかに上昇するように制御することにより、第 2 の電荷蓄積ノード CP2 は緩やかに昇圧され、第 1 の電荷蓄積ノード CPND2 は過電圧が印加されることなく電源電圧 VDD から昇圧される。

#### 【0101】

また、第 1 の電荷蓄積ノード CPND2 とビット線プリチャージ電源配線 VBP[0] が電気的に接続されて、電流  $i_b$  が流れる。この電流  $i_b$  により、ビット線プリチャージ電源配線 VBP[0] は急速にレベルが上げられ、また、この時に、第 2 の制御信号 EXCP は、トランスファゲート制御信号 AP の立ち上がり時間と比べて緩やかに上昇しているので、ポンピング用キャパシタ 500 の第 1 の電極に過電圧が印加されることなく、ポンピング用キャパシタ 500 の電荷をビット線に転送することができる。

**【0102】**

ビット線プリチャージ電源配線VBP[0]のレベルの上昇を受けて、オペアンプ1607は、Pチャネルトランジスタ1608をオフする方向に動作を変えるが、流す電流 $i_a$ が小さくなるまでには時間を要する。

**【0103】**

その後、充放電制御回路1503の第2の遅延素子1702で決まる遅延時間 $\tau_2$ の後に、トランスファゲート接続信号APがローレベル、NAPがハイレベルとなり、第2のPチャネルトランジスタ502、Nチャネルトランジスタ503がオフし、また第1のPチャネルトランジスタ501がオンし、第2の制御信号EXCPを、トランスファゲート制御信号APの立下り時間に比べて緩やかに下降させて接地電位VSSにすることにより、第1の電荷蓄積ノードCPND2は再び電源電圧VDDにチャージされ、次のプリチャージ動作に備えられる。

**【0104】**

以上のように、本実施形態によれば、ビット線対BL[n]、/BL[n]をプリチャージする際に、オペアンプ1607の動作の遅れを補償するために、ポンピング用キャパシタ500に蓄積された電荷を放電する機能に加えて、さらにプリチャージ動作の高速化およびポンピング用キャパシタ500のサイズ縮小を図るために、ポンピング用キャパシタ500の第2の電極に第2の制御信号EXCPを印加し、第2の制御信号EXCPを電源電圧VDDから接地電位VSSまで制御することで、所定時間内にプリチャージ動作を実行でき、かつポンピング用キャパシタ500の容量面積を低減できることから、チップ上においてのレイアウト面積を縮小することが可能となる。

**【0105】**

また、プリチャージ動作を制御する第1のPチャネルトランジスタ501、第2のPチャネルトランジスタ502、Nチャネルトランジスタ503、およびポンピング用キャパシタ500をMOSトランジスタで構成することにより、本実施形態のビット線プリチャージ電圧発生回路をMOS集積回路に容易に搭載することが可能となる。

**【0106】**

また、プリチャージ動作を制御する第 1 の P チャンネルトランジスタ 5 0 1、第 2 の P チャンネルトランジスタ 5 0 2、N チャンネルトランジスタ 5 0 3、およびポンピング用キャパシタ 5 0 0 を厚膜の MOS トランジスタで構成することにより、本実施形態のビット線プリチャージ回路を高電圧にて駆動することが可能となる。

#### 【0107】

また、本実施形態において、第 1 の P チャンネルトランジスタ 5 0 1、第 2 の P チャンネルトランジスタ 5 0 2、N チャンネルトランジスタ 5 0 3、およびポンピング用キャパシタ 5 0 0 は、薄膜の MOS トランジスタで構成することも可能であり、それにより本実施形態のビット線プリチャージ回路を、低電圧で駆動能力の高いトランジスタや小面積のキャパシタで構成でき、回路における消費電力の低減を図ることもできる。

#### 【0108】

また、本実施形態において、ポンピング用キャパシタ 5 0 0 を、図 7 に示す N チャンネル MOS トランジスタの第 1 のウェル領域 7 0 6 および P チャンネル MOS トランジスタの第 2 のウェル領域 7 0 7 のうち、P チャンネル MOS トランジスタの第 2 のウェル領域 7 0 7 内のトランジスタで形成し、ポンピング用キャパシタ 5 0 0 のゲート電極に、第 2 の制御信号 EXCP を印加し、そのソース・ドレイン電極を、第 1 の P チャンネルトランジスタ 5 0 1、第 2 の P チャンネルトランジスタ 5 0 2、N チャンネルトランジスタ 5 0 3 のドレインに接続することにより、ポンピング用キャパシタ 5 0 0 を P チャンネルトランジスタで構成して、同等の効果を得ることもできる。

#### 【0109】

また、本実施形態において、ポンピング用キャパシタ 5 0 0 を、図 7 に示す N チャンネル MOS トランジスタの第 1 のウェル領域 7 0 6、P チャンネル MOS トランジスタの第 2 のウェル領域 7 0 7、および N チャンネル MOS トランジスタの第 3 のウェル領域 7 0 8 のトリプルウェル領域 7 0 9 のうち、N チャンネル MOS トランジスタの第 3 のウェル領域 7 0 8 内のトランジスタで形成することにより、ポンピング用キャパシタ 5 0 0 をトリプルウェル内の N チャンネルトランジスタで

構成して、同等の効果をを得ることもできる。

【0110】

また、本実施形態において、ポンピング用キャパシタ500を、複数の配線層を電極として、その配線間に形成される静電容量で構成したキャパシタで構成することも可能であり、これにより電界の空乏化などに左右されない安定した容量を得ることができる。

【0111】

また、本実施形態において、第2の制御信号EXCPとしてトランスファゲート接続信号ACPを用いることも可能であり、これにより、第2の制御信号EXCPの制御のための回路や配線等の占める面積を削減することも可能である。

【0112】

また、本実施形態による半導体記憶装置と論理回路装置とを混載して半導体装置を構成する場合には、第2の制御信号EXCPは、論理回路装置で用いられている信号の電圧振幅とほぼ同程度の電圧振幅にすることも可能である。

【0113】

(第3の実施形態)

図8は、本発明の第3の実施形態による半導体記憶装置におけるDRAM機能ブロックのレイアウト構成を示す模式図である。図8において、800はDRAM機能ブロック、801は第1または第2の実施形態におけるビット線プリチャージ電圧発生装置、802はセンスアンプ列、803はプリチャージ回路列、804はメモリセルアレイブロック、805はロウデコードである。

【0114】

本実施形態においては、複数のメモリセルアレイブロック804を有するDRAM機能ブロック800内において、第1または第2の実施形態におけるビット線プリチャージ電圧発生装置801は、それぞれのメモリセルアレイブロック804と対をなして配置されている。これにより、それぞれのメモリセルアレイブロック804ごとのビット線プリチャージ開始信号NEQを用いてビット線プリチャージ電圧のポンピング動作を行うことで、それぞれのメモリセルアレイごとに個別にプリチャージ動作を行うことが可能になり、DRAMマクロ容量の大小

に応じてビット線プリチャージ電圧発生装置 801 の能力を変えることが不要となる。

#### 【0115】

(第4の実施形態)

図9は、本発明の第4の実施形態による半導体記憶装置におけるDRAM機能ブロックのレイアウト構成を示す模式図である。なお、第3の実施形態と同様の機能を有する部分については、同一の符号を付して説明を省略する。

#### 【0116】

本実施形態が第3の実施形態と異なるのは、DRAM機能ブロック900内における、ビット線プリチャージ電圧発生装置801、センスアンプ列802、プリチャージ回路列803、およびメモリセルアレイブロック804の配置にある。

#### 【0117】

本実施形態においては、複数のメモリセルアレイを有するDRAM機能ブロック900内において、ビット線プリチャージ電圧発生装置801を、それぞれのメモリセルアレイブロック804のいずれか一辺であり、かつセンスアンプ列802と平行となる場所に配置している。これにより、ビット線プリチャージ電圧の発生に必要な制御信号線をセンスアンプ802列と平行に配置することが可能となるため、制御信号線の配置のために必要とされる面積を削減することが可能となる。

#### 【0118】

(第5の実施形態)

図10は、本発明の第5の実施形態による半導体記憶装置におけるDRAM機能ブロックのレイアウト構成を示す模式図である。なお、第3および第4の実施形態と同様の機能を有する部分については、同一の符号を付して説明を省略する。

#### 【0119】

本実施形態が第3および第4の実施形態と異なるのは、DRAM機能ブロック1000内における、ビット線プリチャージ電圧発生装置801、センスアンプ

列 802、プリチャージ回路列 803、およびメモリセルアレイブロック 804 の配置にある。

#### 【0120】

本実施形態においては、複数のメモリセルアレイを有する DRAM 機能ブロック 1000 内において、ビット線プリチャージ電圧発生装置 801 を、それぞれのメモリセルアレイブロック 804 のいずれか一辺であり、かつプリチャージ回路列 803 と隣り合った場所に配置しており、このため、ビット線プリチャージ電圧発生装置 801 からプリチャージ回路列 803 へのプリチャージ電圧の転送を効率良く行うことが可能となる。

#### 【0121】

(第 6 の実施形態)

図 11 は、本発明の第 6 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図である。なお、第 3 から第 5 の実施形態と同様の機能を有する部分については、同一の符号を付して説明を省略する。

#### 【0122】

本実施形態が第 3 から第 5 の実施形態と異なるのは、DRAM 機能ブロック 1100 内における、ビット線プリチャージ電圧発生装置 801、センスアンプ列 802、プリチャージ回路列 803、およびメモリセルアレイブロック 804 の配置にある。

#### 【0123】

本実施形態においては、複数のメモリセルアレイを有する DRAM 機能ブロック 1100 内において、ビット線プリチャージ電圧発生装置 801 を、それぞれのメモリセルアレイブロック 804 のいずれか一辺であり、かつロウデコーダ 805 と隣り合った場所に配置している。これにより、ビット線プリチャージ電圧の発生に必要な制御信号を効率良くビット線プリチャージ電圧発生装置 801 に転送することが可能であり、さらにビット線プリチャージ電圧をプリチャージ回路列 803 に平行に配置した電源配線によってプリチャージ回路列 803 に供給することで、電源配線等の占める面積を削減することも可能となる。

#### 【0124】

### (第7の実施形態)

図12は、本発明の第7の実施形態による半導体記憶装置におけるDRAM機能ブロックのレイアウト構成を示す模式図である。なお、第3から第6の実施形態と同様の機能を有する部分については、同一の符号を付して説明を省略する。

#### 【0125】

本実施形態が第3から第6の実施形態と異なるのは、DRAM機能ブロック1200内における、ビット線プリチャージ電圧発生装置801、センスアンプ列802、プリチャージ回路列803、およびメモリセルアレイブロック804の配置にある。

#### 【0126】

本実施形態においては、複数のメモリセルアレイを有するDRAM機能ブロック1200内において、ビット線プリチャージ電圧発生装置801を、それぞれのメモリセルアレイブロック804のいずれか一辺であり、かつメモリセルアレイブロック804を挟んでロウデコーダ805と対向する場所に配置している。これにより、ビット線プリチャージ電圧をプリチャージ回路列803に平行に配置した電源配線を介してプリチャージ回路列803に供給することで、電源配線等の占める面積を削減することが可能となる。

#### 【0127】

#### 【発明の効果】

以上説明したように、本発明によれば、従来のオペアンプおよびポンピング用キャパシタを含むビット線プリチャージ電圧発生装置のプリチャージ電圧ポンプ回路に、ポンピング用キャパシタに対して電荷を充放電するためのトランスファークロスを設ける、あるいはポンピング用キャパシタを直接駆動する制御信号を供給することにより、ビット線のプリチャージ動作を所定の時間内に行い、同時にポンピング用キャパシタの容量面積を低減することも可能となり、半導体記憶装置の回路動作の高速化とレイアウト面積の縮小化を両立させることが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態による半導体記憶装置における回路ブロッ



クおよびビット線プリチャージ電圧  $V_{BP}$  の電源配線ネットを示す模式図

【図 2】 図 1 に示すビット線プリチャージ電圧発生回路 1504 およびプリチャージ電圧ポンプ回路 105 の内部構成を示す回路図

【図 3】 第 1 の実施形態による半導体記憶装置のビット線プリチャージ動作時における各部信号の電圧および電流を示すタイミングチャート

【図 4】 本発明の第 2 の実施形態による半導体記憶装置における回路ブロックおよびビット線プリチャージ電圧  $V_{BP}$  の電源配線ネットを示す模式図

【図 5】 図 4 に示すビット線プリチャージ電圧発生回路 1504 およびプリチャージ電圧ポンプ回路 405 の内部構成を示す回路図

【図 6】 第 2 の実施形態による半導体記憶装置のビット線プリチャージ動作時における各部信号の電圧および電流を示すタイミングチャート

【図 7】 第 1 および第 2 の実施形態で用いられる MOS トランジスタの半導体構造を示す断面図

【図 8】 本発明の第 3 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図

【図 9】 本発明の第 4 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図

【図 10】 本発明の第 5 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図

【図 11】 本発明の第 6 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図

【図 12】 本発明の第 7 の実施形態による半導体記憶装置における DRAM 機能ブロックのレイアウト構成を示す模式図

【図 13】 一般的な DRAM 1300 の構成を示す機能ブロック図

【図 14】 図 13 に示すメモリセルアレイブロック 1302 の回路図

【図 15】 従来の半導体記憶装置における回路ブロックおよびビット線プリチャージ電圧  $V_{BP}$  の電源配線ネットの模式図

【図 16】 図 15 に示すビット線プリチャージ電圧発生回路 1504 およびプリチャージ電圧ポンプ回路 1505 の内部構成を示す回路図

【図 17】 図 15 に示す充放電制御回路の内部構成を示す回路図

【図 18】 従来の半導体記憶装置のビット線プリチャージ動作時における各部信号の電圧および電流を示すタイミングチャート

【符号の説明】

101 電源ブロック

102 ビット線プリチャージ電圧発生装置

105 プリチャージ電圧ポンプ回路

NEQ ビット線プリチャージ開始信号 (第 1 の制御信号)

VBP[0] ~ VBP[n] ビット線プリチャージ電源配線

200 ポンプ用キャパシタ

201 第 1 の P チャンネルトランジスタ (第 1 のスイッチ)

202 第 2 の P チャンネルトランジスタ (第 2 のスイッチ)

203 第 1 の N チャンネルトランジスタ (第 2 のスイッチ)

204 インバータ (制御回路)

205 バッファインバータ (制御回路)

206 第 3 の P チャンネルトランジスタ (第 3 のスイッチ)

207 第 2 の N チャンネルトランジスタ (第 4 のスイッチ)

VBPREF ビット線プリチャージ基準電圧

VOUT ビット線プリチャージ保持電圧

PEN ドライバートネーブル信号

CPND1 第 1 の電荷蓄積ノード

CP1 第 2 の電荷蓄積ノード

AP、NAP、ACP トランスファゲート接続信号

401 電源ブロック

402 ビット線プリチャージ電圧発生装置

405 プリチャージ電圧ポンプ回路

500 ポンプ用キャパシタ

501 第 1 の P チャンネルトランジスタ (第 1 のスイッチ)

502 第 2 の P チャンネルトランジスタ (第 2 のスイッチ)

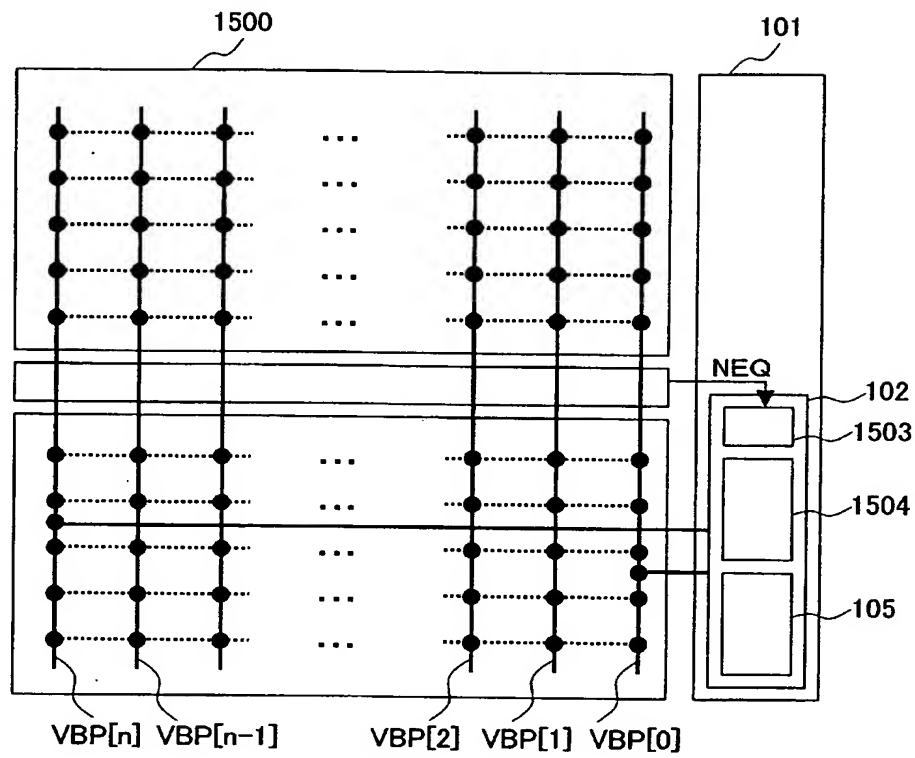
- 503 Nチャネルトランジスタ (第2のスイッチ)
- 504 インバータ (制御回路)
- 505 バッファインバータ (制御回路)
- EXCP 第2の制御信号
- CPND2 第1の電荷蓄積ノード
- CP2 第2の電荷蓄積ノード
- 701 ゲート電極
- 702 NチャネルMOS領域におけるソースまたはドレイン
- 703 PチャネルMOS領域におけるソースまたはドレイン
- 704 NチャネルMOS領域における基板コンタクト
- 705 PチャネルMOS領域における基板コンタクト
- 706 第1のウェル領域
- 707 第2のウェル領域
- 708 第3のウェル領域
- 709 半導体基板
- 710 ゲート酸化膜
- 800、900、1000、1100、1200 DRAM機能ブロック
- 801 ビット線プリチャージ電圧発生装置
- 802 センスアンプ列
- 803 プリチャージ回路列
- 804 メモリセルアレイブロック
- 805 ロウデコーダ
- 1300 一般的なDRAM
- 1301 メモリセルアレイ
- 1302 メモリセルアレイブロック
- 1303 電源ブロック
- 1304 ロウデコーダ
- 1305 カラムデコーダ
- 1306 制御回路

1307 I/Oバッファ  
CLK 外部クロック信号  
NRAS ロウアドレスストロブ信号  
NCAS カラムアドレスストロブ信号  
NWE ライト制御信号  
REF リフレッシュ制御信号  
RAD ロウアドレス信号  
CAD カラムアドレス信号  
WEN ライトイネーブル信号  
SE アクセスクントロール信号  
DI データー入力信号  
DO データー入力信号  
VCP メモリセルプレート電圧  
VBP ビット線プリチャージ電圧  
BL [0] ~ BL [n] ビット線  
/BL [0] ~ /BL [n] ビット線  
1400 メモリセル  
1401 センスアンプ  
1402 プリチャージ回路  
1403 アクセストランジスタ  
1404 キャパシタ  
1500 メモリセルアレイ  
1501 電源ブロック  
1502 ビット線プリチャージ電圧発生装置  
1503 充放電制御回路  
1504 ビット線プリチャージ電圧発生回路  
1505 プリチャージ電圧ポンプ回路  
1600 ポンピング用キャパシタ  
1601 第1のPチャネルトランジスタ

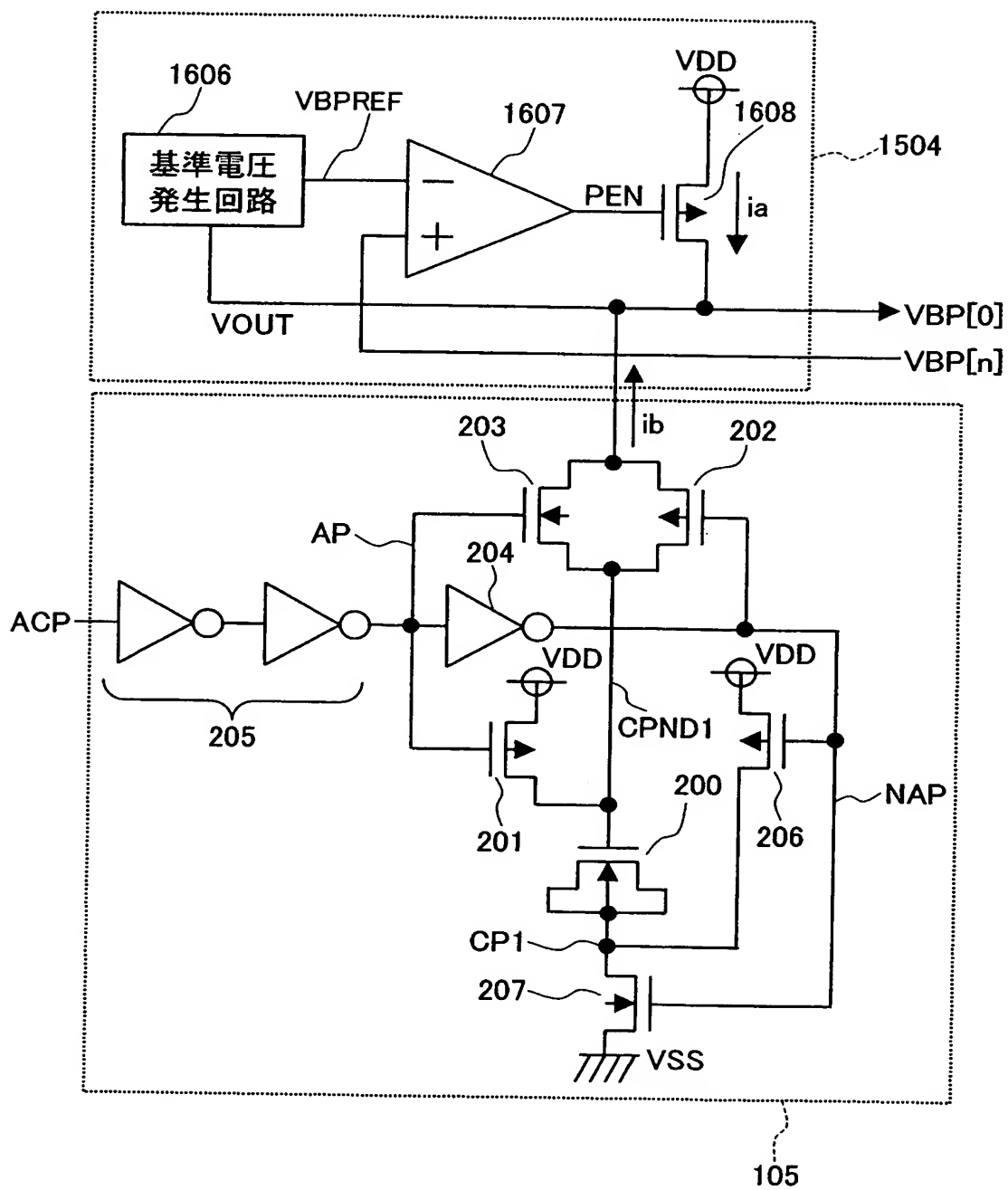
- 1 6 0 2 第 2 の P チャンネルトランジスタ
- 1 6 0 3 第 1 の N チャンネルトランジスタ
- 1 6 0 4 インバータ
- 1 6 0 5 バッファインバータ
- C P N D 電荷蓄積ノード
- 1 6 0 6 基準電圧発生回路
- 1 6 0 7 オペアンプ
- 1 6 0 8 P チャンネルトランジスタ
- 1 7 0 1 第 1 の遅延素子
- 1 7 0 2 第 2 の遅延素子
- 1 7 0 3 インバータ
- 1 7 0 4 N O R 素子

【書類名】 図面

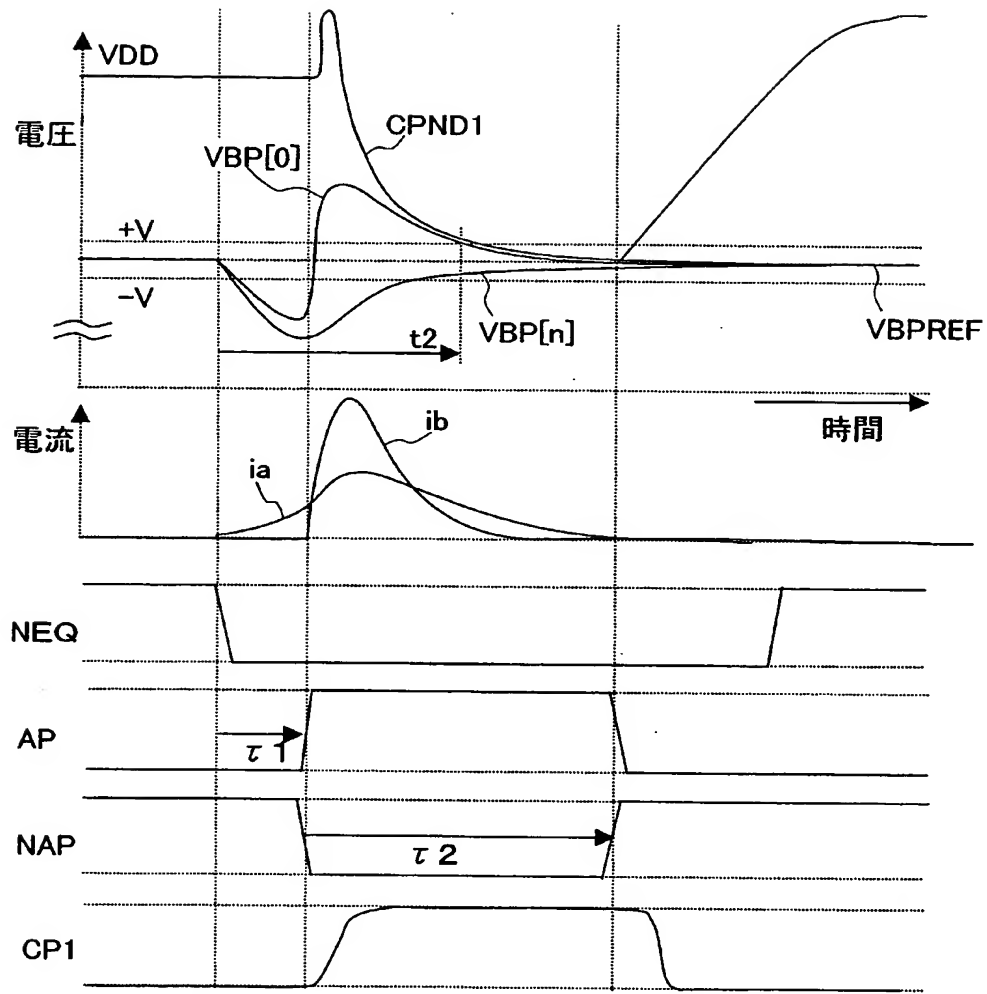
【図 1】



【図 2】

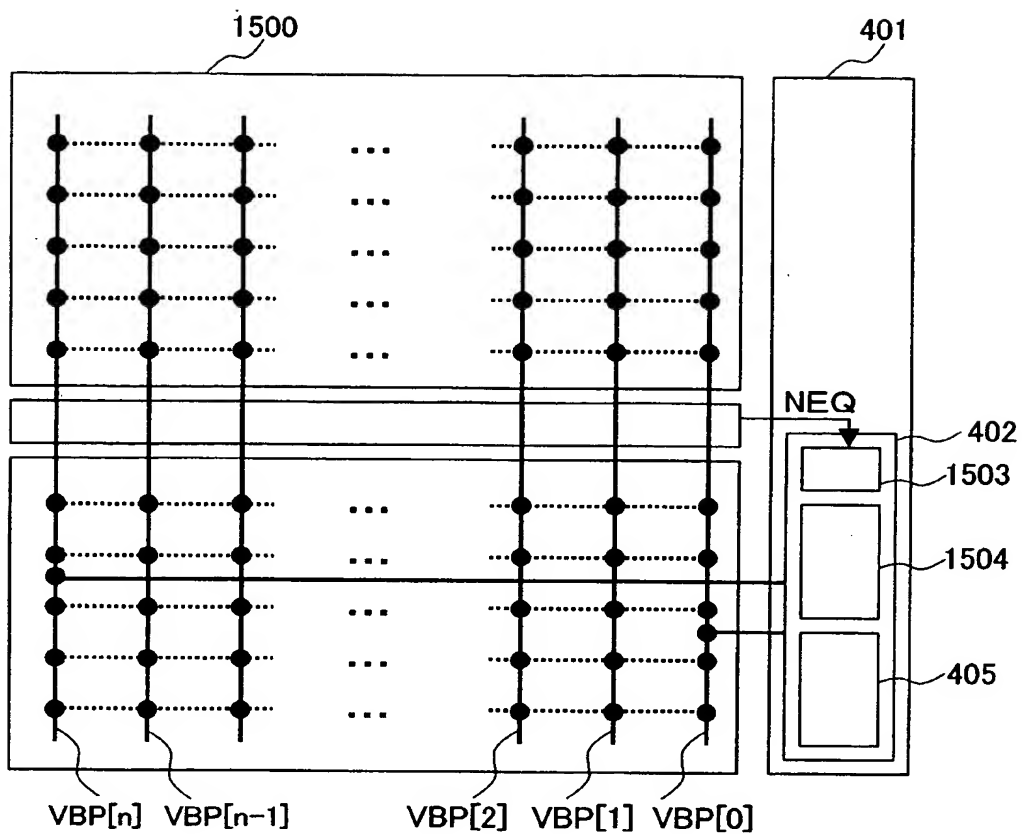


【図 3】

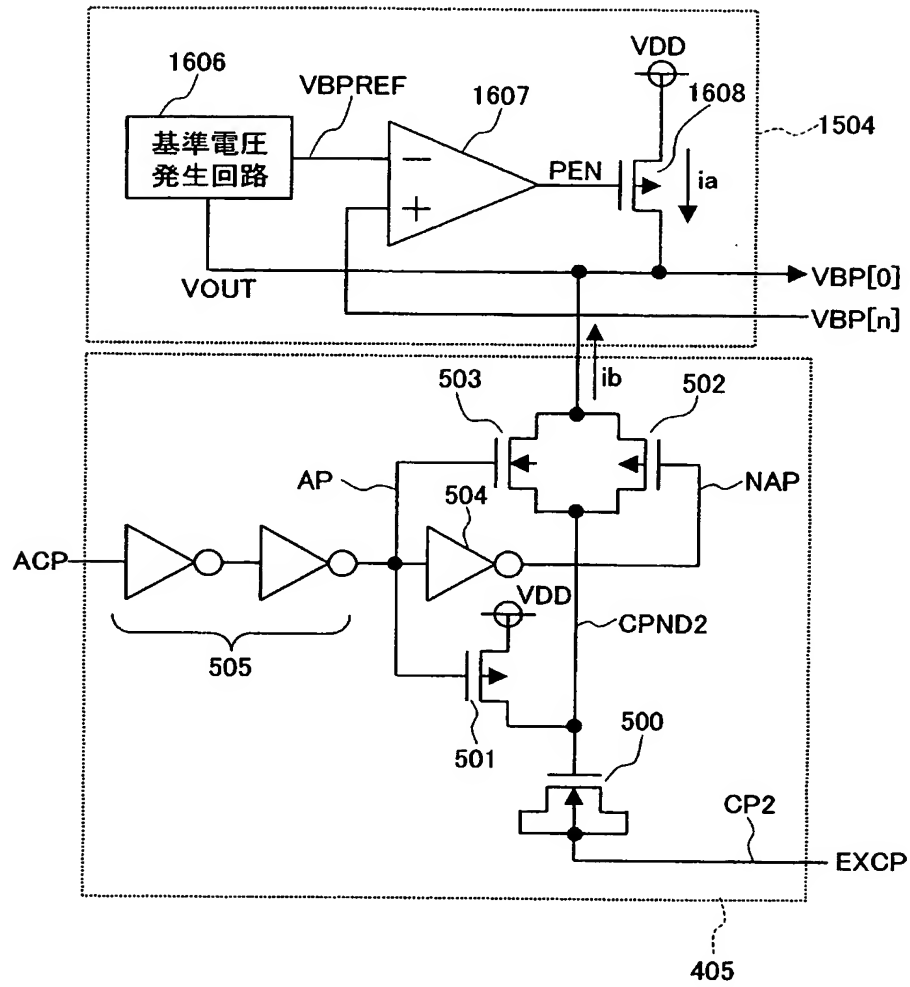




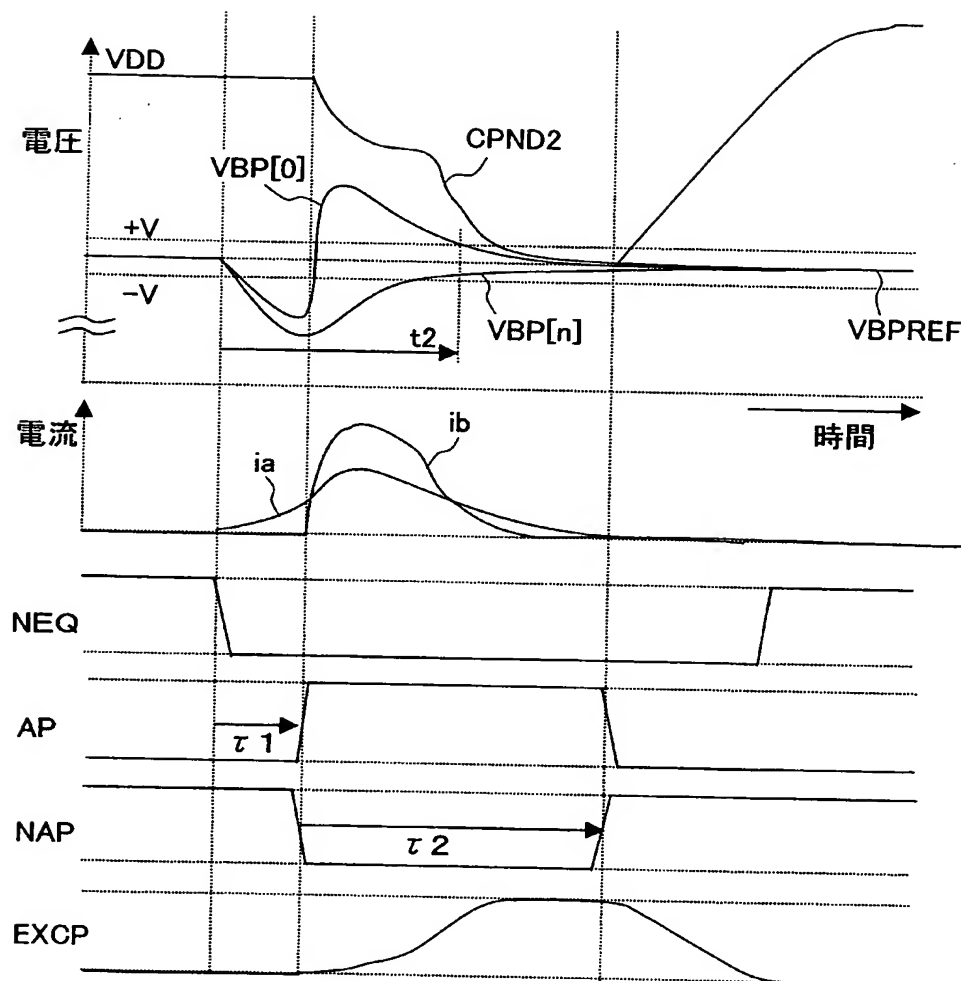
【図 4】



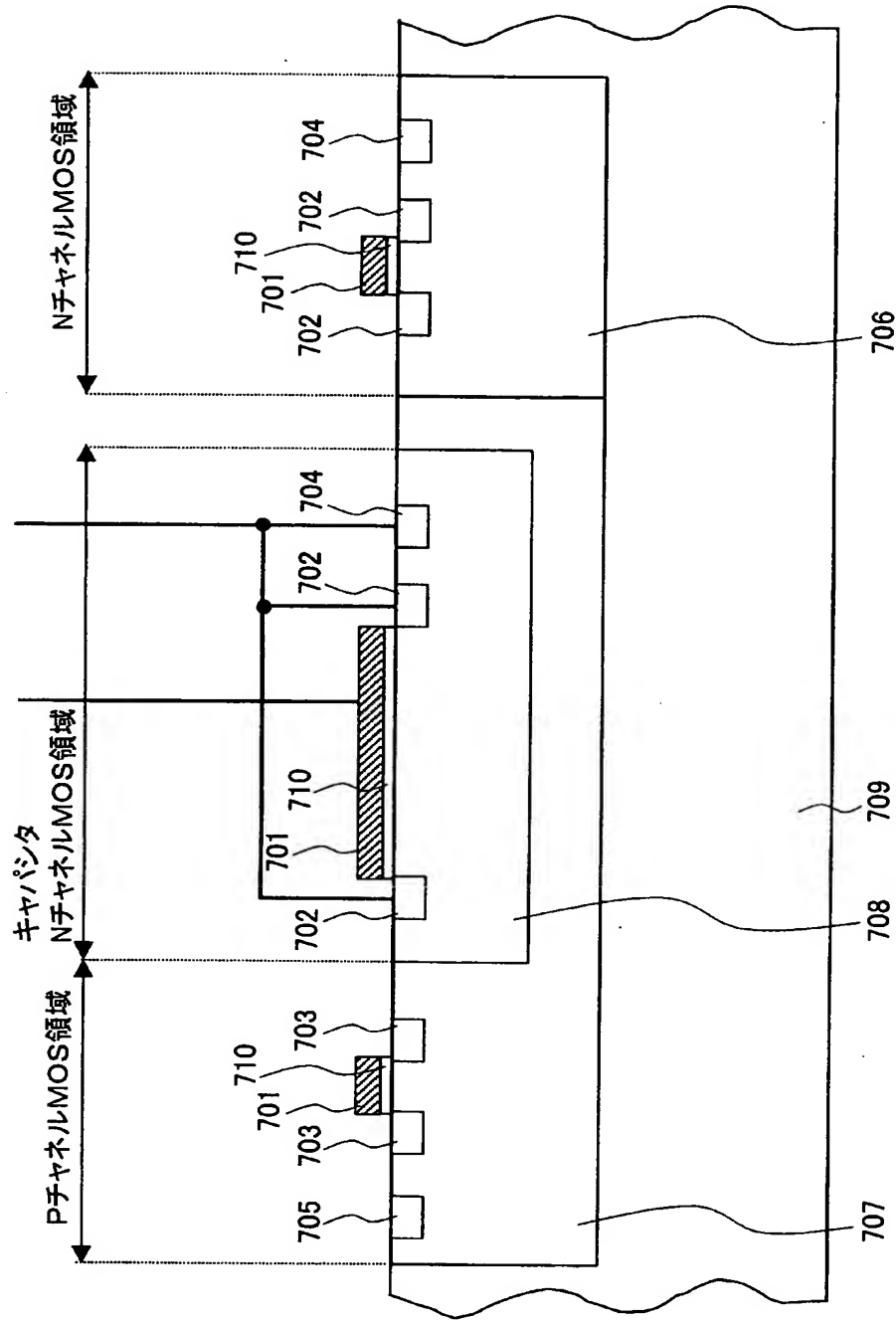
【図 5】



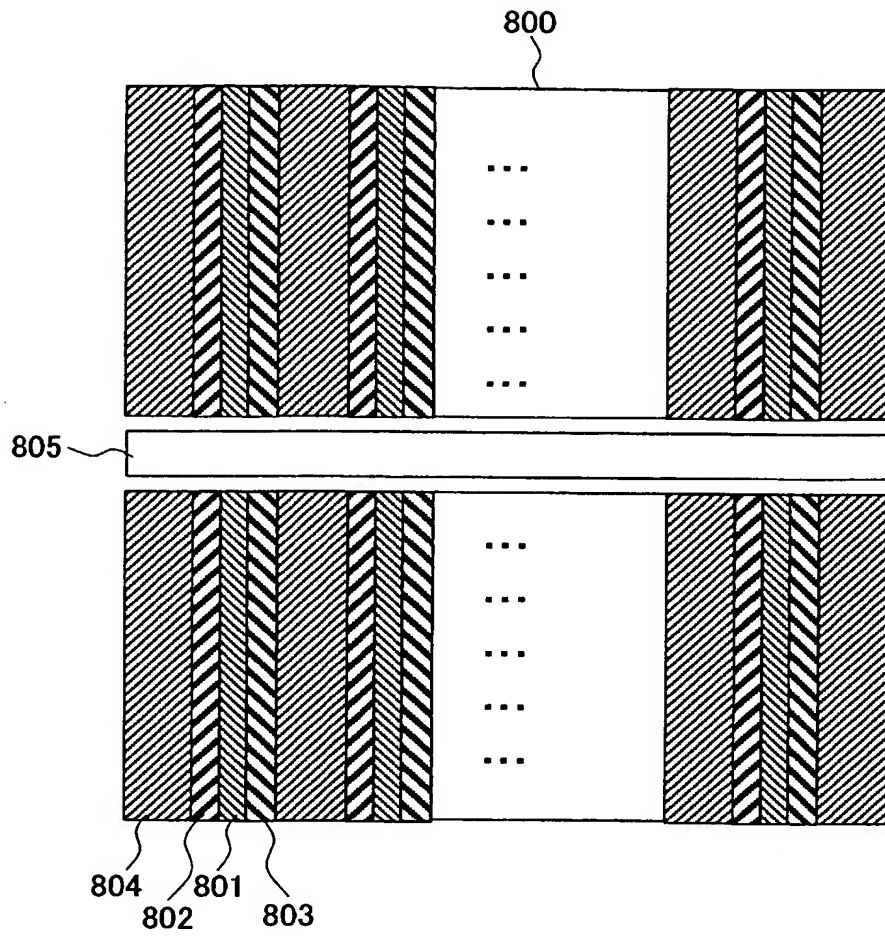
【図 6】



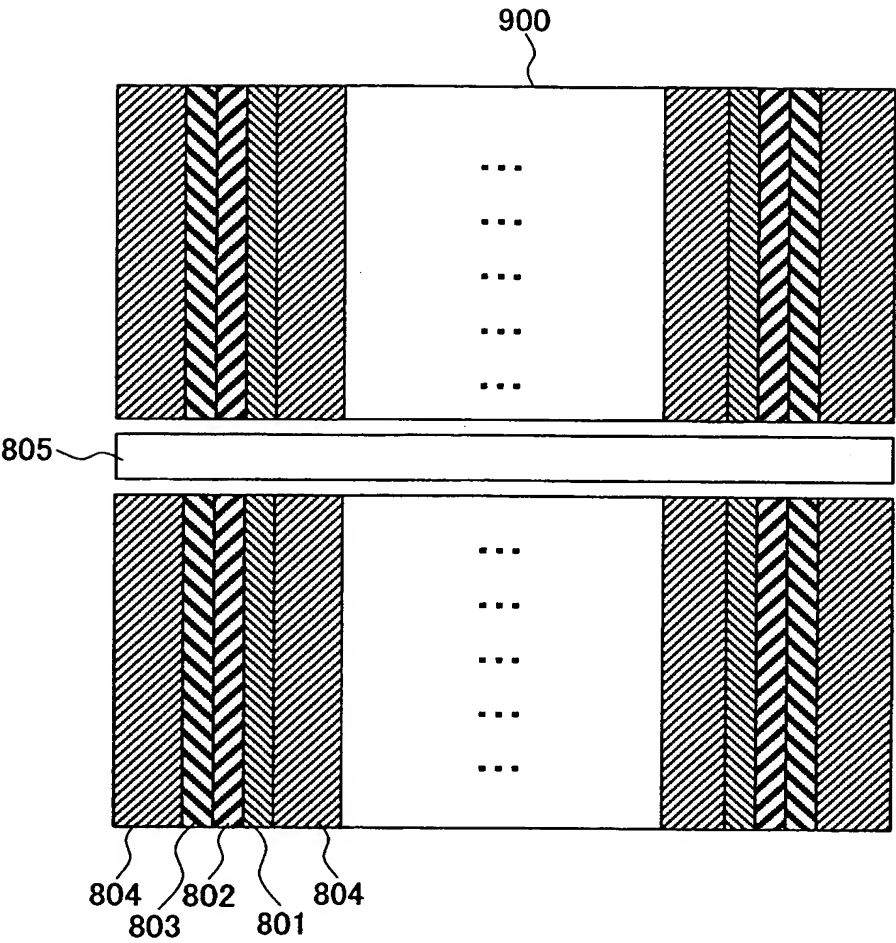
【図 7】



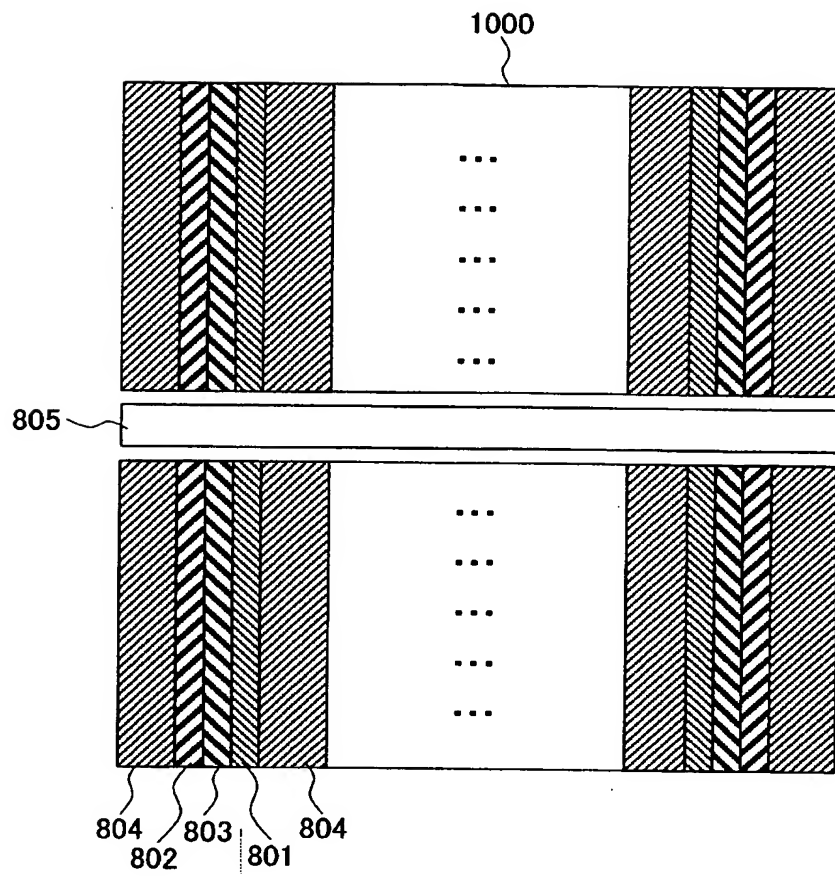
【図 8】



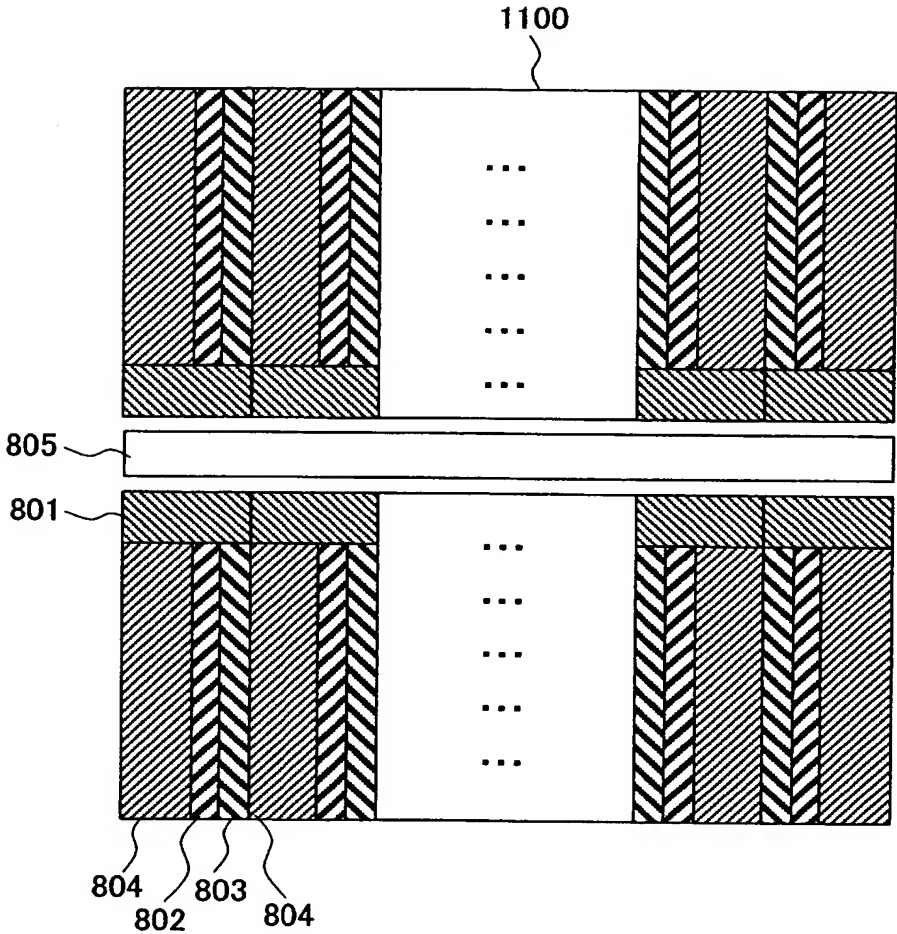
【図 9】



【図 10】

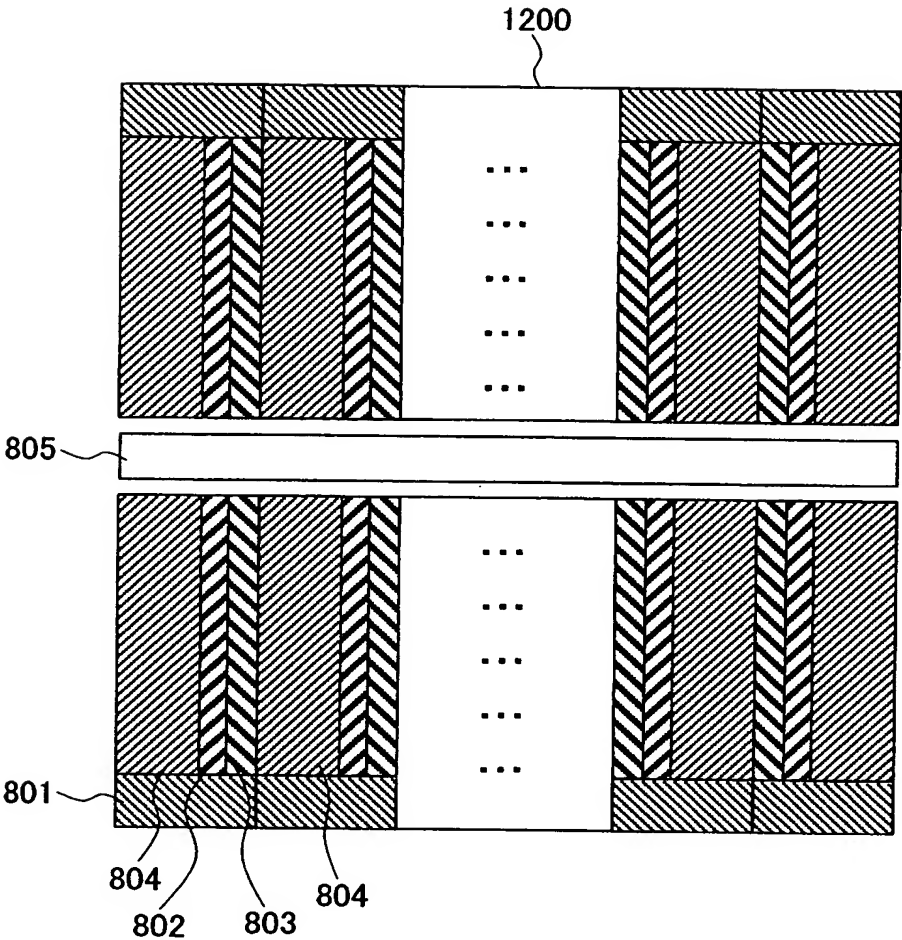


【図 1 1】

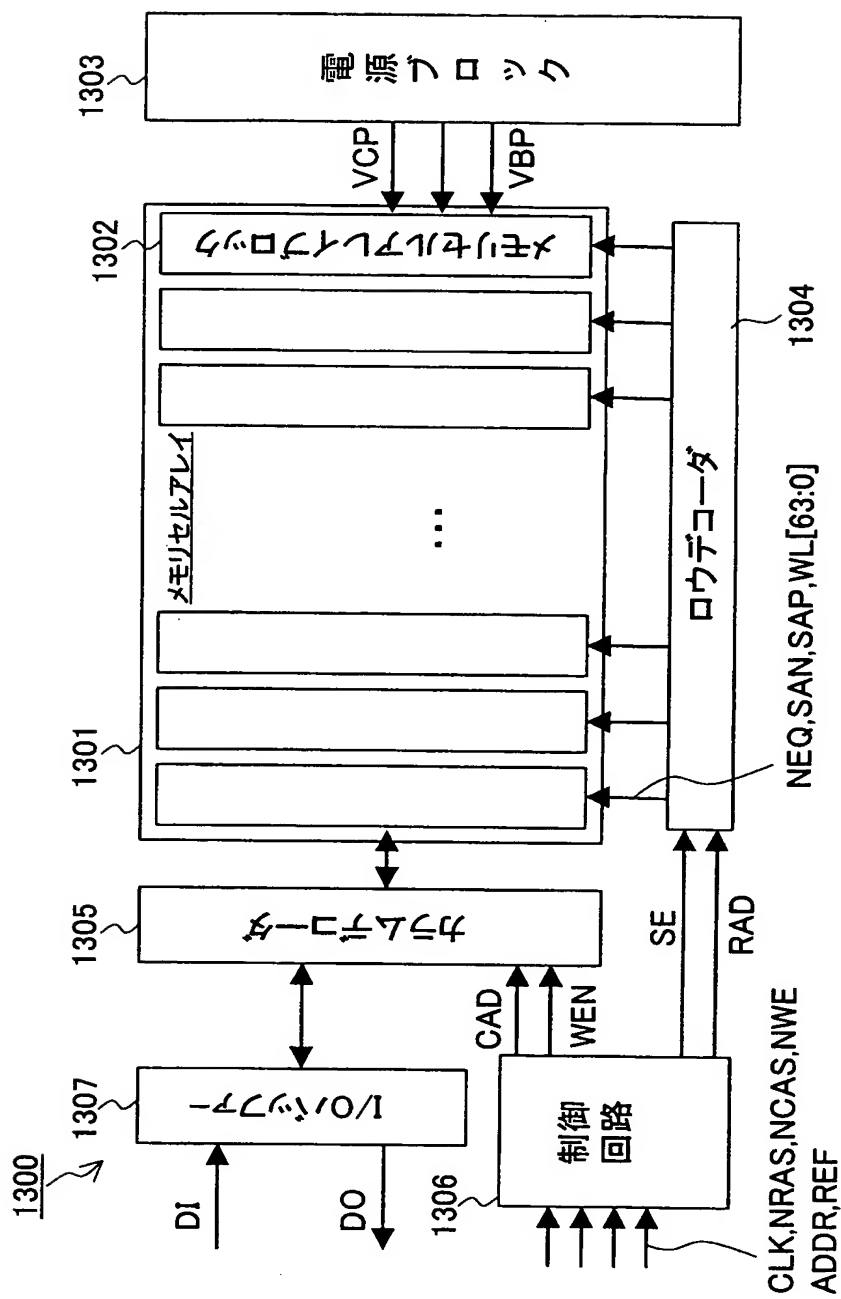




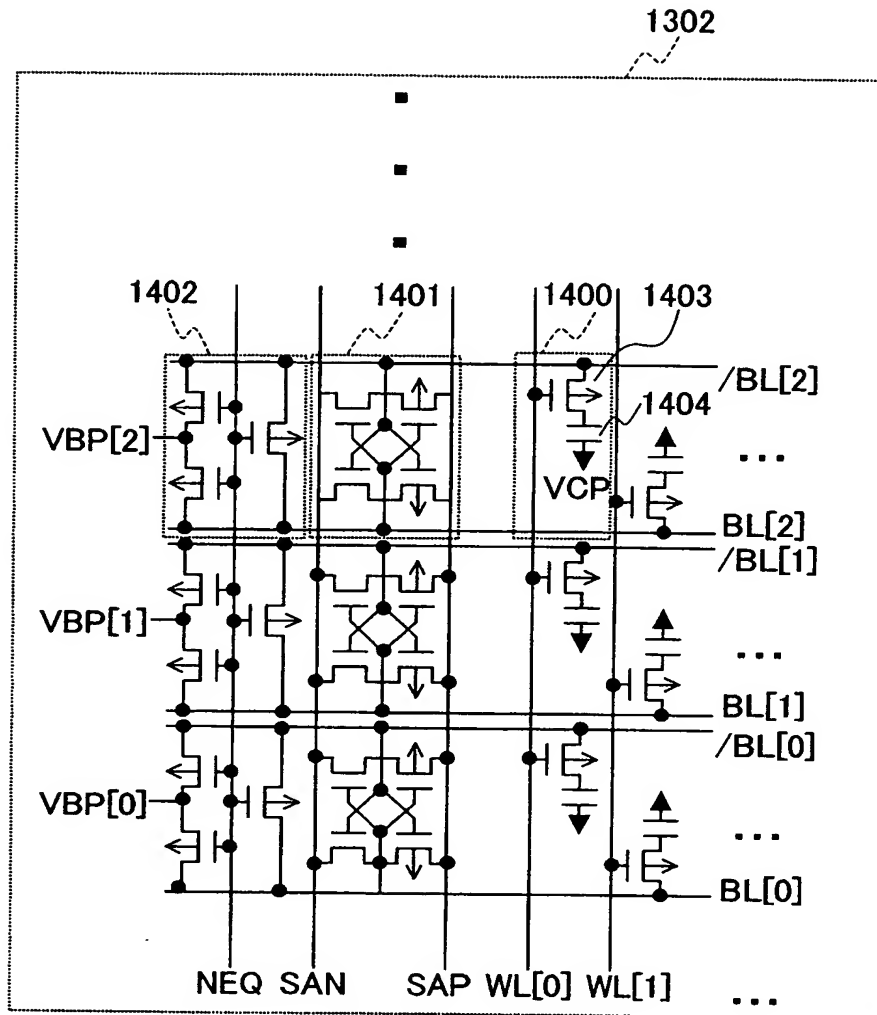
【図 12】



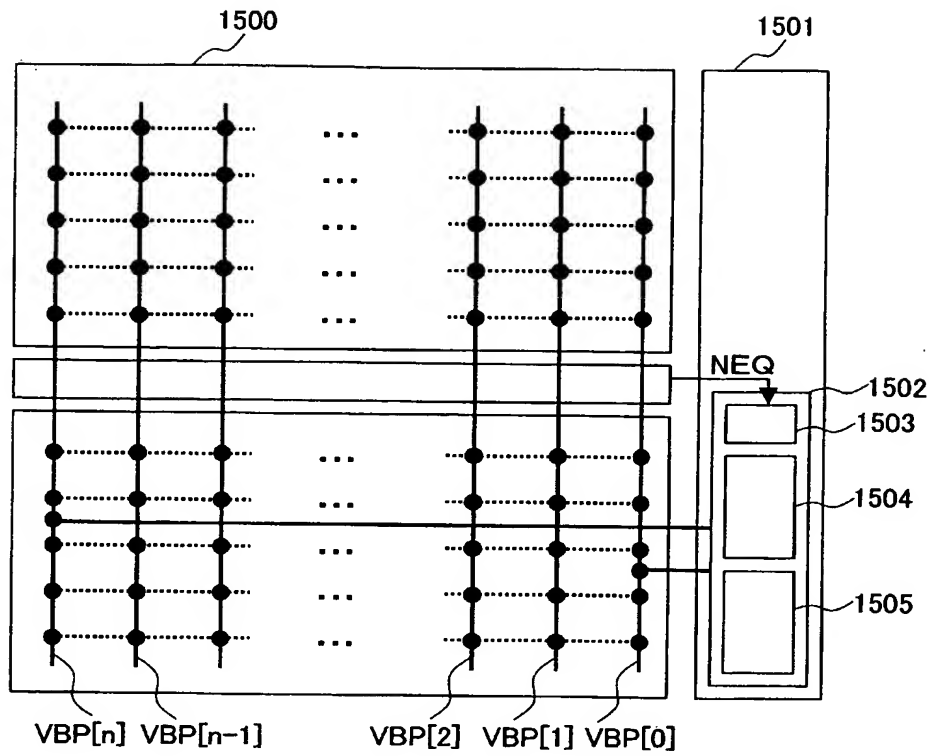
【図 13】



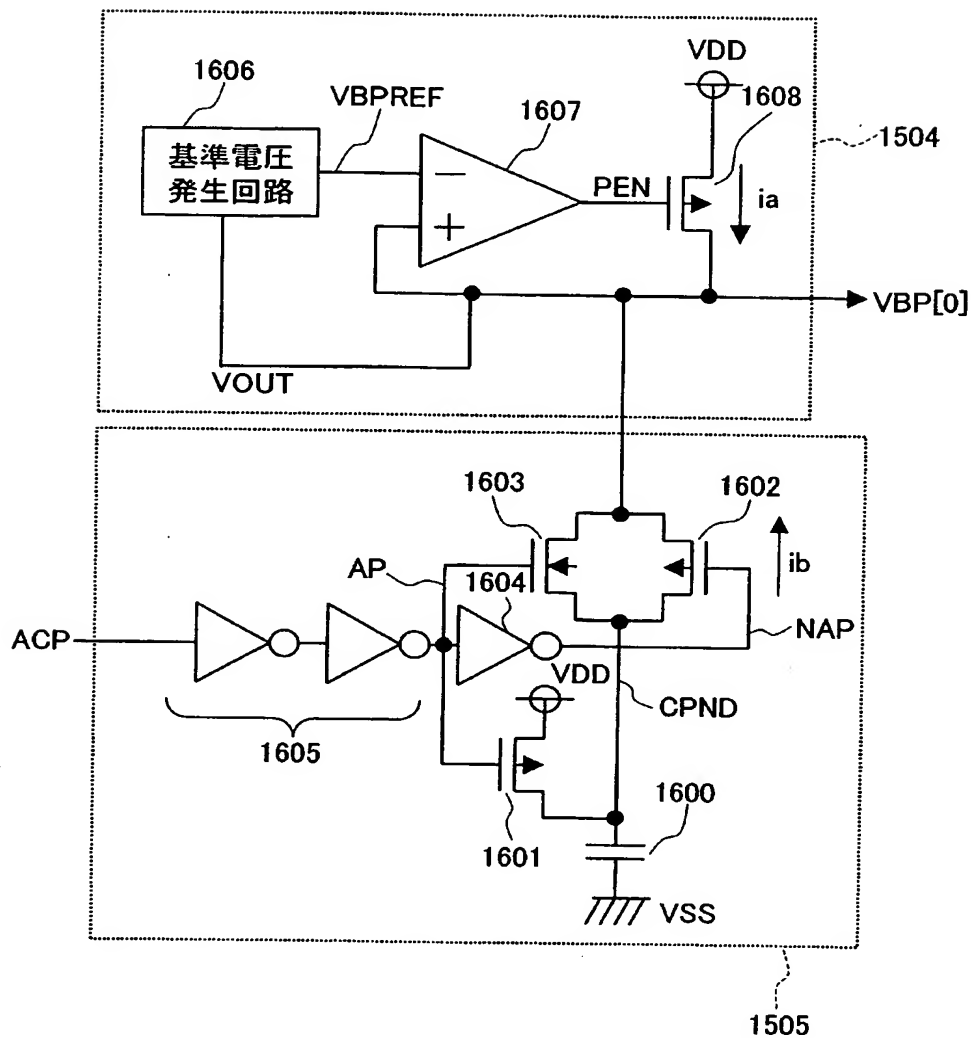
【図 14】



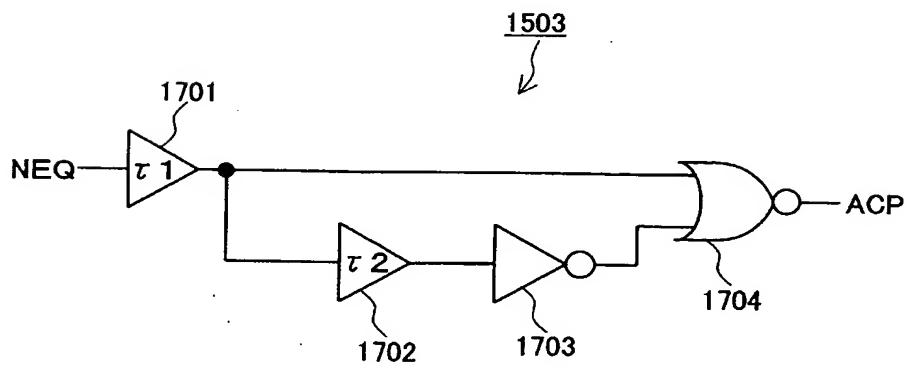
【図 15】



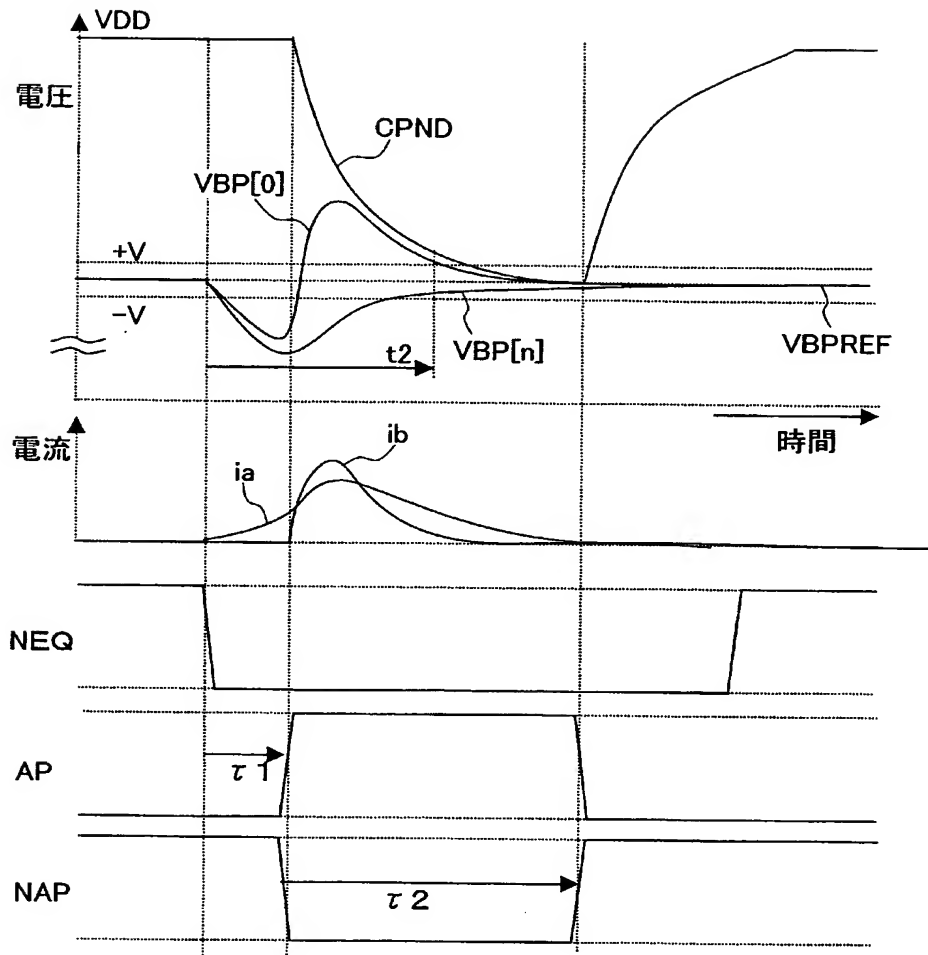
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 ビット線プリチャージ動作の高速化とレイアウト面積の縮小化を両立させた半導体記憶装置を提供する。

【解決手段】 ビット線プリチャージ電圧発生装置に含まれるプリチャージ電圧ポンプ回路 1 0 5 に、スイッチとして機能する P チャネルトランジスタ 2 0 6、2 0 7 を設ける。これにより、ポンプ効率を向上させて、ポンピング用キャパシタ 2 0 0 の容量面積を削減する。

【選択図】 図 2

特願 2 0 0 3 - 0 6 0 5 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社